

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-318627

(43)Date of publication of application : 16.11.2001

(51)Int.Cl.

G09F 9/30
 G09G 3/20
 G09G 3/30
 H01L 29/786
 H05B 33/08
 H05B 33/12
 H05B 33/14

(21)Application number : 2001-050583

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD

(22)Date of filing : 26.02.2001

(72)Inventor : YAMAZAKI SHUNPEI
 KOYAMA JUN
 OSADA MAI

(30)Priority

Priority number : 2000054963 Priority date : 29.02.2000 Priority country : JP

(54) LIGHT EMITTING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a light emitting device having little inhomogeneity in brightness.

SOLUTION: A light emitting device characterized in that the expression (2) or expression (3) with expression (1) holds when the drain current of a plurality of current control TFTs is expressed by Id, mobility by μ , gate capacity per unit area by C0, maximum gate voltage by Vgs(max), channel width by W, channel length by L, mean value of threshold voltages by Vth, and deviation from the mean value of the threshold voltages by ΔV_{th} , and if variation of the light emission brightness of a plurality of EL elements in $\pm n\%$ or less.

式(1)

$$A = \frac{2Id}{\mu \cdot C_0}$$

式(2)

$$\frac{A}{(V_{gs(max)} - V_{th})^2} \leq \frac{W}{L} \leq \left(\sqrt{1 + \frac{n}{100}} - 1 \right)^2 \cdot \frac{A}{\Delta V_{th}^2}$$

式(3)

$$|\Delta V_{th}| \leq \left(\sqrt{1 + \frac{n}{100}} - 1 \right) \cdot \sqrt{A \cdot L / W}$$

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
 examiner's decision of rejection or application converted
 registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-318627

(P2001-318627A)

(43) 公開日 平成13年11月16日 (2001. 11. 16)

(51) Int.Cl.⁷

識別記号

F I

テマコード^{*}(参考)

G 0 9 F 9/30

3 6 5

G 0 9 F 9/30

3 6 5 Z

3 3 8

3 3 8

G 0 9 G 3/20

6 1 1

G 0 9 G 3/20

6 1 1 H

6 2 4

6 2 4 B

6 8 0

6 8 0 A

審査請求 未請求 請求項の数17 O L (全 38 頁) 最終頁に続く

(21) 出願番号 特願2001-50583(P2001-50583)

(22) 出願日 平成13年2月26日 (2001. 2. 26)

(31) 優先権主張番号 特願2000-54963(P2000-54963)

(32) 優先日 平成12年2月29日 (2000. 2. 29)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 長田 麻衣

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54) 【発明の名称】 発光装置

(57) 【要約】 (修正有)

【課題】 輝度むらの少ない発光装置を提供する。

【解決手段】 複数の電流制御用 T F T のドレイン電流を I_d 、移動度を μ 、単位面積あたりのゲート容量を C_0 、最大ゲート電圧を $V_{gs(max)}$ 、チャネル幅を W 、チャネル長を L 、しきい値電圧の平均値を V_{th} 、しきい値電圧の平均値からのずれを ΔV_{th} とし、前記複数の E L 素子の発光輝度の差を $\pm n\%$ 以下とすると、

$$A = \frac{2I_d}{\mu \cdot C_0}$$

であり、

$$\frac{A}{(V_{gs(max)} - V_{th})^2} \leq \frac{W}{L} \leq \left(\sqrt{1 + \frac{n}{100}} - 1 \right)^2 \cdot \frac{A}{\Delta V_{th}^2}$$

または

$$|\Delta V_{th}| \leq \left(\sqrt{1 + \frac{n}{100}} - 1 \right) \cdot \sqrt{A \cdot L / W}$$

であることを特徴とする発光装置。

【特許請求の範囲】

【請求項 1】複数の画素を有する発光装置であって、前記複数の画素は、複数のスイッチング用 T F T と、複数の電流制御用 T F T と、複数の E L 素子とを有しており、

前記複数のスイッチング用 T F T を介して前記複数の電流制御用 T F T のゲート電極に入力されるビデオ信号によって、前記 E L 素子の発光輝度が制御されており、前記複数の電流制御用 T F T は、活性層と、前記活性層上にゲート絶縁膜と、前記ゲート絶縁膜上にゲート電極とを有しており、

$$A = \frac{2Id}{\mu * C_0}$$

$$\frac{A}{(V_{gs(max)} - V_{th})^2} \leq \frac{W}{L} \leq \left(\sqrt{1 + \frac{n}{100}} - 1 \right)^2 * \frac{A}{\Delta V_{th}^2}$$

であることを特徴とする発光装置。

【請求項 2】複数の画素を有する発光装置であって、前記複数の画素は、複数のスイッチング用 T F T と、複数の電流制御用 T F T と、複数の E L 素子とを有しており、

前記複数のスイッチング用 T F T を介して前記複数の電流制御用 T F T のゲート電極に入力されるビデオ信号によって、前記 E L 素子の発光輝度が制御されており、前記複数の電流制御用 T F T は、活性層と、前記活性層上にゲート絶縁膜と、前記ゲート絶縁膜上にゲート電極とを有しており、

前記活性層はソース領域と、ドレイン領域と、前記ソース領域と前記ドレイン領域との間に設けられたチャンネル形成領域とを有しており、

前記複数の電流制御用 T F T の前記 E L 素子の輝度が最大の時のドレイン電流を I_d 、移動度を μ 、単位面積あたりのゲート容量を C_0 、最大ゲート電圧を $V_{gs(max)}$ 、チャンネル幅を W 、チャンネル長を L 、しきい値電圧の平均値を V_{th} 、しきい値電圧の平均値からのずれを ΔV_{th} とし、前記複数の E L 素子の発光輝度の差を $\pm n\%$ 以下とすると、

$$A = \frac{2Id}{\mu * C_0}$$

$$|\Delta V_{th}| \leq \left(\sqrt{1 + \frac{n}{100}} - 1 \right) * \sqrt{A * L / W}$$

であることを特徴とする発光装置。

【請求項 3】ソース信号線駆動回路と、ゲート信号線駆動回路と、画素部と、複数のソース信号線と、複数のゲート信号線と、電源供給線とを有する発光装置であって、

前記画素部は複数の画素を有しており、

前記活性層はソース領域と、ドレイン領域と、前記ソース領域と前記ドレイン領域との間に設けられたチャンネル形成領域とを有しており、

前記複数の電流制御用 T F T の前記 E L 素子の輝度が最大の時のドレイン電流を I_d 、移動度を μ 、単位面積あたりのゲート容量を C_0 、最大ゲート電圧を $V_{gs(max)}$ 、チャンネル幅を W 、チャンネル長を L 、しきい値電圧の平均値を V_{th} 、しきい値電圧の平均値からのずれを ΔV_{th} とし、前記複数の E L 素子の発光輝度の差を $\pm n\%$ 以下とすると、

前記複数の画素は、複数のスイッチング用 T F T と、複数の電流制御用 T F T と、複数の E L 素子とを有しており、

前記 E L 素子は、陽極と、陰極と、前記陰極と前記陽極との間に設けられた E L 層とを有しており、前記複数のスイッチング用 T F T のゲート電極は前記複数のゲート電極に接続されており、前記複数のスイッチング用 T F T のソース領域とドレイン領域とは、一方は前記複数のソース信号線に、もう一方は前記複数の電流制御用 T F T のゲート電極に接続されており、

前記複数の電流制御用 T F T のソース領域は前記電源供給線に、ドレイン領域は前記 E L 素子の陽極又は陰極に接続されており、

前記ソース信号線駆動回路によって前記複数のソース信号線にビデオ信号が入力され、

前記複数のソース信号線に入力されたビデオ信号が、前記複数のスイッチング用 T F T を介して前記複数の電流制御用 T F T のゲート電極に入力されることで前記複数の E L 素子の発光輝度が制御されており、

前記複数の電流制御用 T F T は、活性層と、前記活性層上にゲート絶縁膜と、前記ゲート絶縁膜上にゲート電極とを有しており、

前記活性層はソース領域と、ドレイン領域と、前記ソース領域と前記ドレイン領域との間に設けられたチャンネル形成領域とを有しており、

前記複数の電流制御用 T F T の前記 E L 素子の輝度が最大の時のドレイン電流を I_d 、移動度を μ 、単位面積あたりのゲート容量を C_0 、最大ゲート電圧を $V_{gs(max)}$ 、チャンネル幅を W 、チャンネル長を L 、しきい値電圧の平均値を V_{th} 、しきい値電圧の平均値からのずれを ΔV_{th} とし、前記複数の E L 素子の発光輝度の差を $\pm n\%$ 以下とすると、

前記複数の画素は、複数のスイッチング用 T F T と、複数の電流制御用 T F T と、複数の E L 素子とを有しており、

前記 E L 素子は、陽極と、陰極と、前記陰極と前記陽極との間に設けられた E L 層とを有しており、前記複数のスイッチング用 T F T のゲート電極は前記複数のゲート電極に接続されており、

前記複数のスイッチング用 T F T のソース領域とドレイン領域とは、一方は前記複数のソース信号線に、もう一方は前記複数の電流制御用 T F T のゲート電極に接続されており、

前記複数の電流制御用 T F T のソース領域は前記電源供給線に、ドレイン領域は前記 E L 素子の陽極又は陰極に接続されており、

前記ソース信号線駆動回路によって前記複数のソース信号線にビデオ信号が入力され、

前記複数のソース信号線に入力されたビデオ信号が、前記複数のスイッチング用 T F T を介して前記複数の電流制御用 T F T のゲート電極に入力されることで前記複数の E L 素子の発光輝度が制御されており、

前記複数の電流制御用 T F T は、活性層と、前記活性層上にゲート絶縁膜と、前記ゲート絶縁膜上にゲート電極とを有しており、

前記活性層はソース領域と、ドレイン領域と、前記ソース領域と前記ドレイン領域との間に設けられたチャンネル形成領域とを有しており、

$$A = \frac{2Id}{\mu * C_0}$$

$$\frac{A}{(V_{gs(max)} - V_{th})^2} \leq \frac{W}{L} \leq \left(\sqrt{1 + \frac{n}{100}} - 1 \right)^2 * \frac{A}{\Delta V_{th}^2}$$

であることを特徴とする発光装置。

【請求項4】ソース信号線駆動回路と、ゲート信号線駆動回路と、画素部と、複数のソース信号線と、複数のゲート信号線と、電源供給線とを有する発光装置であつて、

前記画素部は複数の画素を有しており、

前記複数の画素は、複数のスイッチング用TFTと、複数の電流制御用TFTと、複数のEL素子とを有しており、

前記EL素子は、陽極と、陰極と、前記陰極と前記陽極との間に設けられたEL層とを有しており、

前記複数のスイッチング用TFTのゲート電極は前記複数のゲート電極に接続されており、

前記複数のスイッチング用TFTのソース領域とドレイン領域とは、一方は前記複数のソース信号線に、もう一方は前記複数の電流制御用TFTのゲート電極に接続されており、

前記複数の電流制御用TFTのソース領域は前記電源供給線に、ドレイン領域は前記EL素子の陽極又は陰極に接続されており、

前記ソース信号線駆動回路によって前記複数のソース信号線にビデオ信号が入力され、

前記複数のソース信号線に入力されたビデオ信号が、前記複数のスイッチング用TFTを介して前記複数の電流制御用TFTのゲート電極に入力されることで前記複数のEL素子の発光輝度が制御されており、

前記複数の電流制御用TFTは、活性層と、前記活性層上にゲート絶縁膜と、前記ゲート絶縁膜上にゲート電極とを有しており、

前記活性層はソース領域と、ドレイン領域と、前記ソース領域と前記ドレイン領域との間に設けられたチャネル形成領域とを有しており、

前記複数の電流制御用TFTの前記EL素子の輝度が最大の時のドレイン電流を I_d 、移動度を μ 、単位面積あたりのゲート容量を C_0 、最大ゲート電圧を $V_{gs(max)}$ 、チャネル幅を W 、チャネル長を L 、しきい値電圧の平均値を V_{th} 、しきい値電圧の平均値からのず

れを ΔV_{th} とし、前記複数のEL素子の発光輝度の差を $\pm n\%$ 以下とすると、

$$A = \frac{2Id}{\mu * C_0}$$

$$\frac{A}{(V_{gs(max)} - V_{th})^2} \leq \frac{W}{L} \leq \left(\sqrt{1 + \frac{n}{100}} - 1 \right)^2 * \frac{A}{\Delta V_{th}^2}$$

であり、

れを ΔV_{th} とし、前記複数のEL素子の発光輝度の差を $\pm n\%$ 以下とすると、

$$A = \frac{2Id}{\mu * C_0}$$

$$|\Delta V_{th}| \leq \left(\sqrt{1 + \frac{n}{100}} - 1 \right) * \sqrt{A * L / W}$$

であることを特徴とする発光装置。

【請求項5】請求項3または請求項4において、前記電流制御用TFTは n チャネル型TFTであり、かつ前記電流制御用TFTのドレイン領域は前記EL素子の陰極に接続されていることを特徴とする発光装置。

【請求項6】請求項3または請求項4において、前記電流制御用TFTは p チャネル型TFTであり、かつ前記電流制御用TFTのドレイン領域は前記EL素子の陽極に接続されていることを特徴とする発光装置。

【請求項7】複数の画素を有する発光装置であつて、前記複数の画素は、複数のスイッチング用TFTと、複数の電流制御用TFTと、複数のEL素子とを有しており、

前記複数のスイッチング用TFTを介して前記複数の電流制御用TFTのゲート電極に入力されるビデオ信号によって、前記EL素子の発光輝度が制御されており、

前記複数の電流制御用TFTは、活性層と、前記活性層上にゲート絶縁膜と、前記ゲート絶縁膜上にゲート電極とを有しており、

前記活性層はソース領域と、ドレイン領域と、前記ソース領域と前記ドレイン領域との間に設けられたチャネル形成領域とを有しており、

前記複数の電流制御用TFTの前記EL素子の輝度が最大の時のドレイン電流を I_d 、移動度を μ 、単位面積あたりのゲート容量を C_0 、最大ゲート電圧を $V_{gs(max)}$ 、チャネル幅を W 、チャネル長を L 、しきい値電圧の平均値を V_{th} 、しきい値電圧の平均値からのず

れを ΔV_{th} とし、前記複数のEL素子の発光輝度の差を $\pm n\%$ 以下とすると、

れを ΔV_{th} とし、前記複数のEL素子の発光輝度の差を $\pm n\%$ 以下とすると、

Lの比が、前記各画素が表示する色によって異なることを特徴とする発光装置。

【請求項8】複数の画素を有する発光装置であって、前記複数の画素は、複数のスイッチング用TFTと、複数の電流制御用TFTと、複数のEL素子とを有しており、

前記複数のスイッチング用TFTを介して前記複数の電流制御用TFTのゲート電極に入力されるビデオ信号によって、前記EL素子の発光輝度が制御されており、前記複数の電流制御用TFTは、活性層と、前記活性層上にゲート絶縁膜と、前記ゲート絶縁膜上にゲート電極とを有しており、

前記活性層はソース領域と、ドレイン領域と、前記ソース領域と前記ドレイン領域との間に設けられたチャネル形成領域とを有しており、

前記複数の電流制御用TFTの前記EL素子の輝度が最大の時のドレイン電流を I_d 、移動度を μ 、単位面積あたりのゲート容量を C_0 、最大ゲート電圧を $V_{gs}(\max)$ 、チャネル幅を W 、チャネル長を L 、しきい値電圧の平均値を V_{th} 、しきい値電圧の平均値からのずれを ΔV_{th} とし、前記複数のEL素子の発光輝度の差を $\pm n\%$ 以下とすると、

$$A = \frac{2Id}{\mu * C_0}$$

$$|\Delta V_{th}| \leq \left(\sqrt{1 + \frac{n}{100}} - 1 \right) * \sqrt{A * L / W}$$

であり、

前記各画素における前記チャネル幅 W と前記チャネル長 L の比が、前記各画素が表示する色によって異なることを特徴とする発光装置。

【請求項9】請求項1乃至請求項8のいずれか1項において、前記複数のEL素子の発光輝度の差が $\pm 5\%$ 以下であることを特徴とする発光装置。

【請求項10】請求項1乃至請求項8のいずれか1項において、前記複数のEL素子の発光輝度の差が $\pm 3\%$ 以下であることを特徴とする発光装置。

【請求項11】請求項1乃至請求項10のいずれか1項において、前記最大ゲート電圧が25Vであることを特徴とする発光装置。

【請求項12】請求項1乃至請求項8のいずれか1項において、前記最大ゲート電圧が25Vであり、前記複数の電流制御用TFTの前記チャネル幅 W と前記チャネル長 L の比が $2.26 \times 10^{-3} \leq W/L \leq 0.214$ であることを特徴とする発光装置。

【請求項13】請求項1乃至請求項12のいずれか1項において、前記ゲート容量とは、前記電流制御用TFTにおいて、前記チャネル形成領域と、前記ゲート絶縁膜と、前記ゲート電極とが重なった部分に形成されること

を特徴とする発光装置。

【請求項14】請求項1乃至請求項13のいずれか1項に記載の前記発光装置を用いることを特徴とするビデオカメラ。

【請求項15】請求項1乃至請求項13のいずれか1項に記載の前記発光装置を用いることを特徴とする画像再生装置。

【請求項16】請求項1乃至請求項13のいずれか1項に記載の前記発光装置を用いることを特徴とするヘッドマウントディスプレイ。

【請求項17】請求項1乃至請求項13のいずれか1項に記載の前記発光装置を用いることを特徴とするパーソナルコンピュータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、基板上に形成されたEL素子を、該基板とカバー材の間に封入したELパネルに関する。また、該ELパネルにICを実装したELモジュールに関する。なお本明細書において、ELパネル及びELモジュールを発光装置と総称する。本発明はさらに、該発光装置を用いた電子機器に関する。

【0002】

【従来の技術】近年、基板上にTFTを形成する技術が大幅に進歩し、アクティブマトリクス型表示装置への応用開発が進められている。特に、ポリシリコン膜を用いたTFTは、従来のアモルファスシリコン膜を用いたTFTよりも電界効果移動度（モビリティともいう）が高いので、高速動作が可能である。そのため、従来、基板外の駆動回路で行っていた画素の制御を、画素と同一の基板上に形成した駆動回路で行うことが可能となっている。

【0003】このようなアクティブマトリクス型の表示装置は、同一基板上に様々な回路や素子を作り込むことで製造コストの低減、電気光学装置の小型化、歩留まりの上昇、スループットの低減など、様々な利点が得られる。

【0004】そしてさらに、自発光型素子としてEL素子を有したアクティブマトリクス型の発光装置の研究が活発化している。EL素子を有した発光装置（ELディスプレイ）は有機ELディスプレイ（OLED: Organic EL Display）又は有機ライトエミッティングダイオード（OLED: Organic Light Emitting Diode）とも呼ばれている。

【0005】発光装置は、液晶表示装置と異なり自発光型である。EL素子是一对の電極（陽極と陰極）間に有機化合物を含む層（以下、EL層と記す）が挟まれた構造となっているが、EL層は通常、積層構造となっている。代表的には、コダック・イーストマン・カンパニーのTangらが提案した「正孔輸送層／発光層／電子輸送層」という積層構造が挙げられる。この構造は非常に発

光効率が高く、現在、研究開発が進められている発光装置は殆どこの構造を採用している。

【0006】EL素子は、電場を加えることで発生するルミネッセンス (Electro Luminescence) が得られると、陽極層と、EL層と、陰極層とを有する。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光 (蛍光) と三重項励起状態から基底状態に戻る際の発光 (リン光) とがあるが、本発明のELディスプレイは、どちらの発光を用いても良い。

【0007】また他にも、陽極上に正孔注入層/正孔輸送層/発光層/電子輸送層、または正孔注入層/正孔輸送層/発光層/電子輸送層/電子注入層の順に積層する構造でも良い。発光層に対して蛍光性色素等をドーピングしても良い。

【0008】本明細書において陰極と陽極の間に設けられる全ての層を総称してEL層と呼ぶ。よって上述した正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等は、全てEL層に含まれる。

【0009】また本明細書中では、陽極、EL層及び陰極で形成される素子をEL素子と呼ぶ。

【0010】発光装置は複数の画素がマトリクス状に設けられており、複数の画素は薄膜トランジスタ (TFT) とEL素子とをそれぞれ有している。図4に一般的な発光装置の画素の回路図を示す。画素400は、スイッチング用TFT401、電流制御用TFT402、EL素子403、ソース信号線404、ゲート信号線405、電源供給線406、コンデンサ407を有している。

【0011】スイッチング用TFT401のゲート電極はゲート信号線405に接続されている。またスイッチング用TFT401のソース領域とドレイン領域は、一方はソース信号線に、もう一方は電流制御用TFT402のゲート電極に接続されている。電流制御用TFT402のソース領域は電源供給線406に、ドレイン領域はEL素子403の陽極または陰極に接続されている。

【0012】EL素子403の陽極が電流制御用TFT402のドレイン領域と接続している場合、EL素子403の陽極が画素電極、陰極が対向電極となる。逆にEL素子403の陰極が電流制御用TFT402のドレイン領域と接続している場合、EL素子403の陽極が対向電極、陰極が画素電極となる。

【0013】なお本明細書において、画素電極の電位と対向電極の電位の電位差をEL駆動電圧と呼び、このEL駆動電圧がEL層にかかる。

【0014】なおコンデンサ407は、図4に示すように、電流制御用TFT402と電源供給線406とに接続するように設ける。

【0015】電源供給線406の電位 (電源電位) は一定に保たれている。そしてEL素子403の対向電極の

電位も一定に保たれている。対向電極の電位は、電源電位がEL素子の画素電極に与えられたときにEL素子が発光する程度に、電源電位との間に電位差を有している。

【0016】ゲート信号線405に入力される選択信号によってスイッチング用TFT401がオンの状態になる。なお本明細書においてTFTがオンの状態になるとは、TFTのドレイン電流が0以上の状態になることを示す。

10 【0017】スイッチング用TFT401がオンの状態になると、ソース信号線404から入力されるビデオ信号がスイッチング用TFT401を介して電流制御用TFT402のゲート電極に入力される。なお本明細書においてビデオ信号とは、画像情報を有するアナログの信号を意味する。なおスイッチング用TFT401を介して信号が電流制御用TFT402のゲート電極に入力されるとは、スイッチング用TFT401TFTの活性層をキャリアが移動することで、ビデオ信号の電位が電流制御用TFT402のゲート電極に与えられることを意味する。

【0018】電流制御用TFT402のチャネル形成領域を流れる電流の量は、電流制御用TFT402のゲート電極とソース領域の電位差であるゲート電圧 V_{gs} によって制御される。よって、EL素子403の画素電極に与えられる電位は、電流制御用TFT402のゲート電極に入力されたビデオ信号の電位の高さによって決まる。そして画素電極に与えられる電位の高さによって、EL素子の発光輝度 (EL素子の発する光の輝度) が制御される。つまり、EL素子403はソース信号線404に入力されるビデオ信号の電位によってその輝度が制御され、階調表示を行う。

【0019】

【発明が解決しようとする課題】 EL素子の発光輝度 (cd/m^2) と電流密度 (mA/cm^2) との関係を図5に示す。EL素子の発光輝度と電流密度の関係は線形である。つまりEL素子の電流密度が一定の割合で高くなると、EL素子の発光輝度も一定の割合で高くなる。そして電流密度は電流制御用TFT402のドレイン電流 I_d によって決まる。

40 【0020】発光装置の画素部に形成されたTFTは同じ特性を有していることが望ましいが、実際には個々のTFTで微妙にその特性が異なっている。特にTFTのしきい値 V_{th} は、活性層の結晶性の違いや、意図に反して活性層中に混入した不純物等の影響によってその値が左右される。そのため、TFTによって V_{th} が異なってしまうことがあった。なお本明細書において活性層とは、TFTのソース領域、ドレイン領域及びチャネル形成領域を含んでいる半導体膜を意味する。

【0021】TFTのしきい値 V_{th} の値が異なると、ドレイン電流 I_d の値も異なってくる。式1にドレイン

電流 I_d としきい値 V_{th} の関係を示す。

【式1】

【0022】

$$I_d = \frac{1}{2} \mu C_0 \frac{W}{L} (V_{gs} - V_{th})^2$$

【0023】なお μ ($\text{m}^2/\text{V} \cdot \text{s}$) は TFT の移動度、 C_0 (F/cm^2) は TFT のゲート電極と活性層とゲート絶縁膜とで形成される容量 (ゲート容量) の単位面積あたりの容量値である。

【0024】また W と L はそれぞれ TFT のチャネル形成領域のチャネル幅とチャネル長であり、図6にその位置を示す。図6は TFT の概略を示す図であり、活性層はチャネル形成領域601と、ソース領域602と、ドレイン領域603とを有している。チャネル形成領域601はソース領域602とドレイン領域603との間に挟まれて設けられている。なお図6では図示しないが、チャネル形成領域601と、ソース領域602及びドレイン領域603との間に LDD 領域を有している場合もある。

【0025】チャネル形成領域601上にゲート絶縁膜 (図示せず) を介してゲート電極604が設けられている。なお本明細書においてチャネル形成領域601は、活性層600のゲート電極604と重なっている部分に含まれており、なおかつゲート電極604に電圧が印加されたときに実際にチャネルが形成される部分を指す。

【0026】チャネル長 L とは、自由電子または自由正孔であるキャリアの流れる方向におけるチャネル形成領域の長さである。チャネル幅 W とは、キャリアの流れる方向に対して垂直の方向におけるチャネル形成領域の長さである。なお図6に示した TFT はシングルゲート構造を有しているが、ダブルゲート構造、トリプルゲート構造等のマルチゲート構造を有する TFT の場合、すべてのゲート電極の下に形成されるチャネル形成領域の、キャリアの流れる方向における長さの和をチャネル長 L と定義する。

【0027】式1に示すとおり、しきい値電圧 V_{th} の値が変動するとドレイン電流 I_d の値も変動する。そのため、電流制御用 TFT のしきい値電圧 V_{th} の値が画素間で異なると、同じ電位を有するビデオ信号を各画素に入力しても、画素間で EL 素子の発光輝度が異なってしまう。なお本明細書で画素に信号を入力するとは、画素が有するスイッチング TFT を介して電流制御用 TFT のゲート電極に信号を入力することを意味する。

【0028】発光装置の全ての画素において発光輝度が揃わないと、画素部に表示される画像に輝度のむら (輝度むら) が現れ、観察者に視認されてしまう。

【0029】上述した輝度むらを抑えるために、図18に示すように、画素に4つ TFT を設けた構造の発光装置考案されている。(SID'98 DIGEST 4.2 「Design of an Improved Pixel for a Polysilicon Active-Matrix Organic LED Display」 R.M.A. Dawson etc.)

【0030】図18において、1701は第1の薄膜トランジスタ、1702は第2の薄膜トランジスタ、1703は第3の薄膜トランジスタ、1704は第4の薄膜トランジスタである。上記第1～第4の4つの薄膜トランジスタによって EL 素子1705の発光輝度が制御されている。

【0031】ゲート信号線 (G) に入力される選択信号によって第1の薄膜トランジスタ1701がオンの状態になり、また第1の信号線 (AZ) に入力される信号によって第3の薄膜トランジスタ1703がオンの状態になると、第2の薄膜トランジスタ1702のゲート電極とドレイン領域とがショートする。そして第2の信号線 (AZB) に入力される信号によって第4の薄膜トランジスタ1704がオフの状態にあるので、第2の薄膜トランジスタ1702のゲート電極とソース領域間の電圧であるゲート電極 V_{gs} が、リーク電流で決まるサブスレッショルド領域に入る。

【0032】次に第1の信号線 (AZ) に入力される信号によって第3の薄膜トランジスタ1703がオフの状態になる。そしてソース信号線 (S) にビデオ信号が入力され、オンの状態の第1の薄膜トランジスタ1701を介して第2の薄膜トランジスタ1702のゲート電極にビデオ信号の電位が与えられる。そのため、第3の薄膜トランジスタ1703のゲート電圧 V_{gs} は、前記したサブスレッショルド領域に入ったゲート電圧 V_{gs} にビデオ信号の電位が加えられた電位になる。

【0033】次にゲート信号線 (G) に入力される選択信号によって第1の薄膜トランジスタ1701がオフの状態になる。そして第2の信号線 (AZB) に入力される信号によって第4の薄膜トランジスタ1704がオンの状態になる。TFT のチャネル形成領域を流れる電流は、第3の薄膜トランジスタ1703のゲート電圧 V_{gs} の値に依存するので、ビデオ信号の電位に相当する大きさの電流が EL 素子1705の画素電極に入力される。

【0034】上記構成を有する発光装置の場合、同じ電位を有するビデオ信号をソース信号線に入力する場合に、画素電極に与えられる電位が、第2の薄膜トランジスタ1702のしきい値電圧 V_{th} の値によって変動することを抑えることができる。よって画像の輝度むらを抑えることが可能である。しかし各画素に設けられる薄膜トランジスタの数を増やすと開口率が低下し、一定の輝度を得るために EL 素子を流れる電流を大きくする必要が生じる。EL 素子に流れる電流を大きくすると EL 層の劣化を促進され、好ましくない。

【0035】また画素に設ける TFT の数を増やすと、

発光装置自体の歩留まりを低下させるおそれがある。

【0036】上述したことに鑑み、本発明は、各画素に設けられる薄膜トランジスタの数を2つに抑え、なおかつ、各画素が有する電流制御用TFTのしきい値電圧のばらつきによる輝度むらを抑えることが可能な発光装置を提供することを課題とする。

【0037】

【課題を解決するための手段】本発明者らは、画像の輝度むらが観察者に視認されないためには、画素部に設けられている各画素の発光輝度の差を、ある一定の範囲内（例えば±5%以内）に収めることが必要であると考えた。また隣接している画素間においては輝度むらがより目立ちやすいので、隣接している画素間の発光輝度の差は、隣接していない発光輝度の差よりも狭い範囲内（例えば±3%以内）に収まるようにすることが必要であると考えた。

【0038】例えば各画素の発光輝度の差が±n%以内に収まるようにするために、式1から以下の式を導き出すことができる。式1を変形すると式2が得られる。

【0039】

【式2】

$$\frac{W}{L} * (V_{gs} - V_{th})^2 = \frac{2 * I_d}{\mu * C_0}$$

【0040】移動度μ、ゲート容量の容量値C₀はTFTが形成された時点で固定される値である。また所望の発光輝度でEL素子を光らせようとするとき、EL素子の発光輝度と電流密度との関係は線形であるので、ドレイン電流I_dの値も固定される。よって式2の右辺を定数Aで置き換えることで、式3が導き出される。

【0041】

【式3】

$$\frac{W}{L} * (V_{gs} - V_{th})^2 = A$$

【0042】各画素の発光輝度の差が±n%以内に抑えることを考慮すると、式3から式4及び式5が成立する。しきい値電圧V_{th}は全ての画素の電流制御用TFTのしきい値電圧の平均である。そしてΔV_{th}は個々の画素の実際のしきい値電圧と、しきい値電圧V_{th}との差である。

【0043】

【式4】

$$\frac{(V_{gs} - V_{th} + \Delta V_{th})^2}{(V_{gs} - V_{th})^2} \leq 1 + \frac{n}{100}$$

【0044】

$$\frac{A}{(V_{gs(max)} - V_{th})^2} \leq \frac{W}{L} \leq \left(\sqrt{1 + \frac{n}{100}} - 1 \right)^2 * \frac{A}{\Delta V_{th}^2}$$

【式5】

$$1 - \frac{n}{100} \leq \frac{(V_{gs} - V_{th} - \Delta V_{th})^2}{(V_{gs} - V_{th})^2}$$

【0045】V_{gs} - V_{th} = V' とすると、式4及び式5から式6が導き出される。

【0046】

【式6】

$$|\Delta V_{th}| \leq \left(\sqrt{1 + \frac{n}{100}} - 1 \right) * V'$$

【0047】ここで式3より式7が成り立つ。

【0048】

【式7】

$$V'^2 = A * L / W$$

【0049】よって式6及び式7より式8が導き出される。

【0050】

【式8】

$$|\Delta V_{th}| \leq \left(\sqrt{1 + \frac{n}{100}} - 1 \right) * \sqrt{A * L / W}$$

【0051】また式8をW/Lについて解くと、式9が得られる。

【0052】

【式9】

$$\frac{W}{L} \leq \left(\sqrt{1 + \frac{n}{100}} - 1 \right)^2 * \frac{A}{\Delta V_{th}^2}$$

【0053】またゲート電圧V_{gs}が高すぎるとTFT自体が劣化してしまうため、ゲート電圧V_{gs}は素子が破壊されない程度の高さであることが必要である。ゲート電圧V_{gs}が破壊される直前の値を最大ゲート電圧V_{gs(max)}とすると、式3より以下の式10が導き出される。なおV_{gs(max)}は約25Vであることが必要であり、望ましくは10V以下であることが望ましい。

【0054】

【式10】

$$\frac{W}{L} \geq \frac{A}{(V_{gs(max)} - V_{th})^2}$$

【0055】上記式9と式10から、式11が得られる

【0056】

【式11】

【0057】上記の式8または式11を満たす範囲で ΔV_{th} 及び W/L の値を定めれば、ドレイン電流 I_d のばらつきを $\pm n\%$ 以内に抑えることが可能である。

【0058】例えばデザイン上の問題によってチャネル幅 W とチャネル長 L の比 W/L の値が固定されてしまう場合、チャネル幅 W とチャネル長 L の比 W/L の値から、式8によってしきい値電圧のばらつき ΔV_{th} の範囲が定まる。

【0059】またしきい値電圧のばらつき ΔV_{th} がTFTの作製プロセスによって固定されてしまう場合、しきい値電圧のばらつき ΔV_{th} の値から、式11によってチャネル幅 W とチャネル長 L の比 W/L の範囲が定まる。

【0060】上記構成によって、本発明の発光装置は各画素に設けられる薄膜トランジスタの数を2つにして開口率の低下を抑え、なおかつ、各画素が有する電流制御用TFTのしきい値電圧のばらつきによる輝度むらを抑えることが可能になる。

【0061】なお上記の式4～式11は各画素の発光輝度の差を $\pm n\%$ 以内に抑えると仮定した場合である。隣接している画素間の発光輝度の差を $\pm 5\%$ 以内に収める場合は、しきい値電圧のばらつき ΔV_{th} とチャネル幅 W とチャネル長 L の比 W/L の関係式は以下の式12、式13で表される。

【0062】

【式12】

$$|\Delta V_{th}| \leq 0.025 * \sqrt{A * L / W}$$

【0063】

【式13】

$$\frac{A}{(V_{gs(max)} - V_{th})^2} \leq \frac{W}{L} \leq 6.10 * 10^{-4} * \frac{A}{\Delta V_{th}^2}$$

$$\frac{A}{(V_{gs(max)} - V_{th})^2} \leq \frac{W}{L} \leq 2.22 * 10^{-4} * \frac{A}{\Delta V_{th}^2}$$

【0071】上記の式14または式15を満たす範囲で ΔV_{th} 及び W/L の値を定めれば、ドレイン電流 I_d のばらつきを $\pm 3\%$ 以内に抑えることが可能である。

【0072】例えばしきい値電圧のばらつき ΔV_{th} がTFTの作製プロセスによって固定されてしまう場合、しきい値電圧のばらつき ΔV_{th} の値から、式14によってチャネル幅 W とチャネル長 L の比 W/L の範囲が定まる。

【0073】またデザイン上の問題によってチャネル幅 W とチャネル長 L の比 W/L の値が固定されてしまう場合、チャネル幅 W とチャネル長 L の比 W/L の値から、式15によってしきい値電圧のばらつき ΔV_{th} の範囲が定まる。

【0074】上記構成によって、本発明の発光装置は各

【0064】上記の式12または式13を満たす範囲で ΔV_{th} 及び W/L の値を定めれば、ドレイン電流 I_d のばらつきを $\pm 5\%$ 以内に抑えることが可能である。

【0065】例えばしきい値電圧のばらつき ΔV_{th} がTFTの作製プロセスによって固定されてしまう場合、しきい値電圧のばらつき ΔV_{th} の値から、式12によってチャネル幅 W とチャネル長 L の比 W/L の範囲が定まる。

【0066】またデザイン上の問題によってチャネル幅 W とチャネル長 L の比 W/L の値が固定されてしまう場合、チャネル幅 W とチャネル長 L の比 W/L の値から、式13によってしきい値電圧のばらつき ΔV_{th} の範囲が定まる。

【0067】上記構成によって、本発明の発光装置は各画素に設けられる薄膜トランジスタの数を2つにして開口率の低下を抑え、なおかつ、各画素が有する電流制御用TFTのしきい値電圧のばらつきによる輝度むらを抑えることが可能になる。

【0068】また各画素の発光輝度の差を $\pm 3\%$ 以内に抑える場合は、しきい値電圧のばらつき ΔV_{th} とチャネル幅 W とチャネル長 L の比 W/L の関係式は以下の式14、式15で表される。

【0069】

【式14】

$$|\Delta V_{th}| \leq 0.015 * \sqrt{A * L / W}$$

【0070】

【式15】

画素に設けられる薄膜トランジスタの数を2つにして開口率の低下を抑え、なおかつ、各画素が有する電流制御用TFTのしきい値電圧のばらつきによる輝度むらを抑えることが可能になる。

【0075】以下に、本発明の構成を示す。

【0076】本発明によって、複数の画素を有する発光装置であって、前記複数の画素は、複数のスイッチング用TFTと、複数の電流制御用TFTと、複数のEL素子とを有しており、前記複数のスイッチング用TFTを介して前記複数の電流制御用TFTのゲート電極に入力されるビデオ信号によって、前記EL素子の発光輝度が制御されており、前記複数の電流制御用TFTは、活性層と、前記活性層上にゲート絶縁膜と、前記ゲート絶縁膜上にゲート電極とを有しており、前記活性層はソース

領域と、ドレイン領域と、前記ソース領域と前記ドレイン領域との間に設けられたチャネル形成領域とを有しており、前記複数の電流制御用 T F T の前記 E L 素子の輝度が最大の時のドレイン電流を I_d 、移動度を μ 、単位面積あたりのゲート容量を C_0 、最大ゲート電圧を V_g

$$A = \frac{2I_d}{\mu * C_0}$$

$$\frac{A}{(V_{gs(max)} - V_{th})^2} \leq \frac{W}{L} \leq \left(\sqrt{1 + \frac{n}{100}} - 1 \right)^2 * \frac{A}{\Delta V_{th}^2}$$

であることを特徴とする発光装置が提供される。

【0077】本発明によって、複数の画素を有する発光装置であって、前記複数の画素は、複数のスイッチング用 T F T と、複数の電流制御用 T F T と、複数の E L 素子とを有しており、前記複数のスイッチング用 T F T を介して前記複数の電流制御用 T F T のゲート電極に入力されるビデオ信号によって、前記 E L 素子の発光輝度が制御されており、前記複数の電流制御用 T F T は、活性層と、前記活性層上にゲート絶縁膜と、前記ゲート絶縁膜上にゲート電極とを有しており、前記活性層はソース領域と、ドレイン領域と、前記ソース領域と前記ドレイン領域との間に設けられたチャネル形成領域とを有しており、前記複数の電流制御用 T F T の前記 E L 素子の輝度が最大の時のドレイン電流を I_d 、移動度を μ 、単位面積あたりのゲート容量を C_0 、最大ゲート電圧を $V_{gs(max)}$ 、チャネル幅を W 、チャネル長を L 、しきい値電圧の平均値を V_{th} 、しきい値電圧の平均値からのずれを ΔV_{th} とし、前記複数の E L 素子の発光輝度の差を $\pm n\%$ 以下とすると、

$$A = \frac{2I_d}{\mu * C_0}$$

$$|\Delta V_{th}| \leq \left(\sqrt{1 + \frac{n}{100}} - 1 \right) * \sqrt{A * L / W}$$

であることを特徴とする発光装置が提供される。

【0078】本発明によって、ソース信号線駆動回路と、ゲート信号線駆動回路と、画素部と、複数のソース信号線と、複数のゲート信号線と、電源供給線とを有す

$$A = \frac{2I_d}{\mu * C_0}$$

$$\frac{A}{(V_{gs(max)} - V_{th})^2} \leq \frac{W}{L} \leq \left(\sqrt{1 + \frac{n}{100}} - 1 \right)^2 * \frac{A}{\Delta V_{th}^2}$$

であることを特徴とする発光装置。

【0079】本発明によって、ソース信号線駆動回路と、ゲート信号線駆動回路と、画素部と、複数のソース信号線と、複数のゲート信号線と、電源供給線とを有す

$s_{(max)}$ 、チャネル幅を W 、チャネル長を L 、しきい値電圧の平均値を V_{th} 、しきい値電圧の平均値からのずれを ΔV_{th} とし、前記複数の E L 素子の発光輝度の差を $\pm n\%$ 以下とすると、

る発光装置であって、前記画素部は複数の画素を有しており、前記複数の画素は、複数のスイッチング用 T F T と、複数の電流制御用 T F T と、複数の E L 素子とを有しており、前記 E L 素子は、陽極と、陰極と、前記陰極と前記陽極との間に設けられた E L 層とを有しており、前記複数のスイッチング用 T F T のゲート電極は前記複数のゲート電極に接続されており、前記複数のスイッチング用 T F T のソース領域とドレイン領域とは、一方は前記複数のソース信号線に、もう一方は前記複数の電流制御用 T F T のゲート電極に接続されており、前記複数の電流制御用 T F T のソース領域は前記電源供給線に、ドレイン領域は前記 E L 素子の陽極又は陰極に接続されており、前記ソース信号線駆動回路によって前記複数のソース信号線にビデオ信号が入力され、前記複数のソース信号線に入力されたビデオ信号が、前記複数のスイッチング用 T F T を介して前記複数の電流制御用 T F T のゲート電極に入力されることで前記複数の E L 素子の発光輝度が制御されており、前記複数の電流制御用 T F T は、活性層と、前記活性層上にゲート絶縁膜と、前記ゲート絶縁膜上にゲート電極とを有しており、前記活性層はソース領域と、ドレイン領域と、前記ソース領域と前記ドレイン領域との間に設けられたチャネル形成領域とを有しており、前記複数の電流制御用 T F T の前記 E L 素子の輝度が最大の時のドレイン電流を I_d 、移動度を μ 、単位面積あたりのゲート容量を C_0 、最大ゲート電圧を $V_{gs(max)}$ 、チャネル幅を W 、チャネル長を L 、しきい値電圧の平均値を V_{th} 、しきい値電圧の平均値からのずれを ΔV_{th} とし、前記複数の E L 素子の発光輝度の差を $\pm n\%$ 以下とすると、

る発光装置であって、前記画素部は複数の画素を有しており、前記複数の画素は、複数のスイッチング用 T F T と、複数の電流制御用 T F T と、複数の E L 素子とを有しており、前記 E L 素子は、陽極と、陰極と、前記陰極

と前記陽極との間に設けられた E L 層とを有しており、前記複数のスイッチング用 T F T のゲート電極は前記複数のゲート電極に接続されており、前記複数のスイッチング用 T F T のソース領域とドレイン領域とは、一方は前記複数のソース信号線に、もう一方は前記複数の電流制御用 T F T のゲート電極に接続されており、前記複数の電流制御用 T F T のソース領域は前記電源供給線に、ドレイン領域は前記 E L 素子の陽極又は陰極に接続されており、前記ソース信号線駆動回路によって前記複数のソース信号線にビデオ信号が入力され、前記複数のソース信号線に入力されたビデオ信号が、前記複数のスイッチング用 T F T を介して前記複数の電流制御用 T F T のゲート電極に入力されることで前記複数の E L 素子の発光輝度が制御されており、前記複数の電流制御用 T F T は、活性層と、前記活性層上にゲート絶縁膜と、前記ゲート絶縁膜上にゲート電極とを有しており、前記活性層はソース領域と、ドレイン領域と、前記ソース領域と前記ドレイン領域との間に設けられたチャンネル形成領域とを有しており、前記複数の電流制御用 T F T の前記 E L 素子の輝度が最大の時のドレイン電流を I_d 、移動度を μ 、単位面積あたりのゲート容量を C_0 、最大ゲート電圧を $V_{gs(max)}$ 、チャンネル幅を W 、チャンネル長を L 、しきい値電圧の平均値を V_{th} 、しきい値電圧の平均値からのずれを ΔV_{th} とし、前記複数の E L 素子の発光輝度の差を $\pm n\%$ 以下とすると、

$$A = \frac{2I_d}{\mu * C_0}$$

$$|\Delta V_{th}| \leq \left(\sqrt{1 + \frac{n}{100}} - 1 \right) * \sqrt{A * L / W}$$

$$A = \frac{2I_d}{\mu * C_0}$$

$$\frac{A}{(V_{gs(max)} - V_{th})^2} \leq \frac{W}{L} \leq \left(\sqrt{1 + \frac{n}{100}} - 1 \right)^2 * \frac{A}{\Delta V_{th}^2}$$

であり、前記各画素における前記チャンネル幅 W と前記チャンネル長 L の比が、前記各画素が表示する色によって異なることを特徴とする発光装置が提供される。

【0083】本発明によって、複数の画素を有する発光装置であって、前記複数の画素は、複数のスイッチング用 T F T と、複数の電流制御用 T F T と、複数の E L 素子とを有しており、前記複数のスイッチング用 T F T を介して前記複数の電流制御用 T F T のゲート電極に入力されるビデオ信号によって、前記 E L 素子の発光輝度が制御されており、前記複数の電流制御用 T F T は、活性層と、前記活性層上にゲート絶縁膜と、前記ゲート絶縁膜上にゲート電極とを有しており、前記活性層はソース領域と、ドレイン領域と、前記ソース領域と前記ドレイ

であることを特徴とする発光装置が提供される。

【0080】前記電流制御用 T F T は n チャンネル型 T F T であり、かつ前記電流制御用 T F T のドレイン領域は前記 E L 素子の陰極に接続されていることを特徴としても良い。

【0081】前記電流制御用 T F T は p チャンネル型 T F T であり、かつ前記電流制御用 T F T のドレイン領域は前記 E L 素子の陽極に接続されていることを特徴としても良い。

10 【0082】本発明によって、複数の画素を有する発光装置であって、前記複数の画素は、複数のスイッチング用 T F T と、複数の電流制御用 T F T と、複数の E L 素子とを有しており、前記複数のスイッチング用 T F T を介して前記複数の電流制御用 T F T のゲート電極に入力されるビデオ信号によって、前記 E L 素子の発光輝度が制御されており、前記複数の電流制御用 T F T は、活性層と、前記活性層上にゲート絶縁膜と、前記ゲート絶縁膜上にゲート電極とを有しており、前記活性層はソース領域と、ドレイン領域と、前記ソース領域と前記ドレイン領域との間に設けられたチャンネル形成領域とを有しており、前記複数の電流制御用 T F T の前記 E L 素子の輝度が最大の時のドレイン電流を I_d 、移動度を μ 、単位面積あたりのゲート容量を C_0 、最大ゲート電圧を $V_{gs(max)}$ 、チャンネル幅を W 、チャンネル長を L 、しきい値電圧の平均値を V_{th} 、しきい値電圧の平均値からのずれを ΔV_{th} とし、前記複数の E L 素子の発光輝度の差を $\pm n\%$ 以下とすると、

30

40

50

$$A = \frac{2Id}{\mu * C_0}$$

$$|\Delta V_{th}| \leq (\sqrt{1 + \frac{n}{100}} - 1) * \sqrt{A * L/W}$$

であり、前記各画素における前記チャネル幅Wと前記チャネル長Lの比が、前記各画素が表示する色によって異なることを特徴とする発光装置が提供される。

【0084】前記複数のEL素子の発光輝度の差が±5%以下であることを特徴としても良い。

【0085】前記複数のEL素子の発光輝度の差が±3%以下であることを特徴としても良い。

【0086】前記最大ゲート電圧が25Vであることを特徴としても良い。

【0087】前記最大ゲート電圧が25Vであり、前記複数の電流制御用TFTの前記チャネル幅Wと前記チャネル長Lの比が $2.26 \times 10^{-3} \leq W/L \leq 0.214$ であることを特徴としても良い。

【0088】前記ゲート容量とは、前記電流制御用TFTにおいて、前記チャネル形成領域と、前記ゲート絶縁膜と、前記ゲート電極とが重なった部分に形成される。

【0089】前記発光装置を用いることを特徴とするビデオカメラ。

【0090】前記発光装置を用いることを特徴とする画像再生装置。

【0091】前記発光装置を用いることを特徴とするヘッドマウントディスプレイ。

【0092】前記発光装置を用いることを特徴とするパーソナルコンピュータ。

【発明の実施の形態】

【0093】

【実施例】以下に、本発明の実施例について説明する。

【0094】（実施例1）本実施例では、上記した式8、式11を用いて、実際の発光装置に本発明を適用する例について説明する。

【0095】本実施例では、解像度が 320×240 のQVGAである、4インチの発光装置を例にとって説明する。

【0096】4インチのQVGAの発光装置の画素サイズは、 $84 \mu m \times 252 \mu m$ 程度である。一定の輝度を得ようとしたとき、単位面積あたりにEL素子に流れる電流の大きさが決まる。本実施例では単位面積あたり $3 \text{ mA}/\text{cm}^2$ とする。

【0097】よって各画素の有する電流制御用TFTのドレイン電流Idは、以下の式16で表される。

【0098】

【式16】

$$Id = 3 * (84 * 10^{-4}) * (252 * 10^{-4}) = 6.35 * 10^{-7} A$$

【0099】上記の式16は、発光装置の開口率が100%としたときの電流制御用TFTのドレイン電流Idの値である。実際には発光装置の開口率は100%ではない場合が殆どである。発光装置の開口率が下がれば下がるほど、実際に必要なドレイン電流Idの値は大きくなる。例えば本実施例の発光装置の開口率を30%とすると、実際に必要なドレイン電流Idの値は、以下の式17によって求められる。

【0100】

【式17】

$$Id = 6.35 * 10^{-7} / 0.3 = 2.11 \mu A$$

【0101】また、本実施例で用いる発光装置の電流制御用TFTの移動度 $\mu = 100 (\text{m}^2/\text{V} \cdot \text{sec})$ 、ゲート容量の容量値 $C_0 = 3 \times 10^{-8} (\text{F}/\text{cm}^2)$ とすると、式18から定数Aが求まる。

【0102】

【式18】

$$A = \frac{2 * Id}{\mu * C_0} = 1.41(A)$$

【0103】また各画素の発光輝度の差が例えば±5%以内に収まるようにする。そしてTFTが破壊される直前のゲート電圧 $V_{gs}(\text{max})$ を25Vとし、しきい値電圧 V_{th} の値を0Vとすると、式8と式11から、以下の式19、式20が得られる。

【0104】

【式19】

$$|\Delta V_{th}| \leq 0.029 * \sqrt{L/W}$$

【0105】

【式20】

$$2.26 * 10^{-3} \leq \frac{W}{L} \leq \frac{8.60 * 10^{-4}}{\Delta V_{th}^2}$$

【0106】本発明の発光装置は、上記の式19または式20を満たす範囲で ΔV_{th} 及び W/L の値が定められており、ドレイン電流Idのばらつきを±5%以内に抑えられる。

【0107】例えば、デザイン上の問題によってチャネル幅Wとチャネル長Lの比 W/L の値が7.5に固定されてしまっている場合、式19に $W/L = 1/7.5$ を代入すると以下の式21が得られる。

【0108】

【式21】

$$|\Delta V_{th}| \leq 0.079(V)$$

【0109】式21が成り立つようにしきい値電圧のばらつき ΔV_{th} を定めれば、ドレイン電流Idのばらつきを±5%以内に抑えることができる。

【0110】また例えば、しきい値電圧のばらつき ΔV_{th} がTFTの作製プロセスによって固定されてしまい、 $\Delta V_{th}=0.1V$ であったとする。式20に $\Delta V_{th}=0.1V$ を代入すると以下の式22が得られる。

【0111】

【式22】

$$2.26 \times 10^{-3} \leq \frac{W}{L} \leq 0.086$$

【0112】式22が成り立つようにチャネル長 L とチャネル幅 W の比 W/L を定めれば、ドレイン電流 I_d のばらつきを $\pm 5\%$ 以内に抑えることができる。

【0113】上記構成によって、本発明の発光装置は各画素に設けられる薄膜トランジスタの数を2つにして開口率の低下を抑え、なおかつ、各画素が有する電流制御用TFTのしきい値電圧のばらつきによる輝度むらを抑えることが可能になる。

【0114】なお本実施例ではドレイン電流 I_d のばらつきを $\pm 5\%$ 以内に抑える例について説明したが、本発明はこの数値に限定されない。

【0115】（実施例2）本発明の発光装置の駆動方法について、図1～図3を用いて説明する。

【0116】図1に本発明の発光装置の上面図を示す。101はソース信号線駆動回路、102はゲート信号線駆動回路、103は画素部を示している。本実施例ではソース信号線駆動回路とゲート信号線駆動回路とを1つづつ設けたが、本発明はこの構成に限定されない。ソース信号線駆動回路を2つ設けても良いし、ゲート信号線駆動回路を2つ設けても良い。

【0117】ソース信号線駆動回路101は、シフトレジスタ101_1、レベルシフト101_2、サンプリング回路101_3を有している。なおレベルシフト101_2は必要に応じて用いればよく、必ずしも用いなくとも良い。また本実施例においてレベルシフト101_2はシフトレジスタ101_1とサンプリング回路101_3との間に設ける構成としたが、本発明はこの構成に限定されない。シフトレジスタ101_1の中にレベルシフト101_2が組み込まれている構成にしても良い。

【0118】画素部103では、ソース信号線駆動回路101に接続されたソース信号線104と、ゲート信号線駆動回路102に接続されたゲート信号線106とが交差している。また電源供給線105は電源と接続されることで一定の電位（電源電位）に保たれている。

【0119】またゲート信号線駆動回路102は、シフトレジスタ、バッファ（いずれも図示せず）を有している。また、レベルシフトを有していても良い。

【0120】パネル制御信号であるクロック信号（CLK）、スタートパルス信号（SP）がシフトレジスタ101_1に入力される。シフトレジスタ101_1からビデオ信号をサンプリングするためのサンプリング信号

が出力される。出力されたサンプリング信号はレベルシフト101_2に入力され、その電位の振幅が大きくなって出力される。

【0121】レベルシフト101_2から出力されたサンプリング信号は、サンプリング回路101_3に入力される。そして同時に、ビデオ信号線（図示せず）を介してビデオ信号がサンプリング回路101_3に入力される。

【0122】サンプリング回路101_3において、入力されたビデオ信号がサンプリング信号によってサンプリングされ、それぞれソース信号線104に入力される。

【0123】図2に、図1で示したの発光装置の画素部103の構造を示す。ゲート信号線駆動回路102からの選択信号を入力するゲート信号線（106_1～106_y）は、各画素が有するスイッチング用TFT107のゲート電極に接続されている。また各画素が有するスイッチング用TFT107のソース領域とドレイン領域は、一方がビデオ信号を入力するソース信号線（104_1～104_x）に、もう一方が各画素が有する電流制御用TFT108のゲート電極及び各画素が有するコンデンサ110にそれぞれ接続されている。

【0124】各画素が有する電流制御用TFT108のソース領域は電源供給線（105_1～105_x）に、ドレイン領域はEL素子109の陽極または陰極に接続されている。また電源供給線（105_1～105_x）は、各画素が有するコンデンサ110に接続されている。なお本実施例ではコンデンサ110を有する構成を示したが、コンデンサ110は必ずしも設けなくとも良い。

【0125】EL素子109は陽極と、陰極と、陽極と陰極の間に設けられたEL層とを有する。EL素子109の陽極が電流制御用TFT108のドレイン領域と接続している場合、EL素子109の陽極が画素電極、陰極が対向電極となる。逆にEL素子109の陰極が電流制御用TFT108のドレイン領域と接続している場合、EL素子109の陽極が対向電極、陰極が画素電極となる。

【0126】図1及び図2で示した発光装置を、アナログ方式で駆動させた場合のタイミングチャートを図3に示す。1つのゲート信号線が選択されてから、その次に別のゲート信号線が選択されるまでの期間を1ライン期間（ L ）と呼ぶ。なお本明細書においてゲート信号線が選択されるとは、スイッチング用TFTがオンの状態になるような電位を有する選択信号がゲート信号線に入力されることを意味する。

【0127】また1つの画像が表示されてから次の画像が表示されるまでの期間が1フレーム期間（ F ）に相当する。図2に示す発光装置の場合、ゲート信号線104は y 本あるので、1フレーム期間中に y 個のライン期間

(L1~Ly) が設けられている。

【0128】まず電源供給線(105__1~105__x)の電位(電源電位)は一定に保たれている。そして対向電極の電位も一定に保たれている。対向電極の電位は、電源電位がEL素子の画素電極に与えられたときにEL素子が発光する程度に、電源電位との間に電位差を有している。

【0129】第1のライン期間(L1)において、ゲート信号線駆動回路102からゲート信号線106__1を介して入力される選択信号によってゲート信号線106__1が選択され、ゲート信号線106__1に接続されている全てのスイッチング用TF T107が全てオンの状態になる。そして、ソース信号線駆動回路101からソース信号線(104__1~104__x)に順にビデオ信号が入力される。ソース信号線(104__1~104__x)に入力されたビデオ信号は、スイッチング用TF T107を介して電流制御用TF T108のゲート電極に入力される。

【0130】電流制御用TF T108のチャネル形成領域を流れる電流の量は、電流制御用TF T108のゲート電極とソース領域の電位差であるゲート電圧Vgsによって制御される。よって、EL素子109の画素電極に与えられる電位は、電流制御用TF T108のゲート電極に入力されたビデオ信号の電位の高さによって決まる。したがって、EL素子109はビデオ信号の電位に制御されて発光を行う。

【0131】上述した動作を繰り返し、ソース信号線(104__1~104__x)へのビデオ信号の入力が終了すると、第1のライン期間(L1)が終了する。なお、ソース信号線(104__1~104__x)へのビデオ信号の入力が終了するまでの期間と水平帰線期間とを合わせて1つのライン期間としても良い。そして次に第2のライン期間(L2)が開始され、選択信号によってゲート信号線106__2が選択され、第1のライン期間(L1)と同様にソース信号線(104__1~104__x)に順にビデオ信号が入力される。

【0132】そして全てのゲート信号線(106__1~106__y)が選択されると、全てのライン期間(L1~Ly)が終了する。全てのライン期間(L1~Ly)が終了すると、1フレーム期間が終了する。1フレーム期間中において全ての画素が表示を行い、1つの画像が形成される。なお全てのライン期間(L1~Ly)と垂直帰線期間とを合わせて1フレーム期間としても良い。

【0133】以上のように、ビデオ信号の電位によってEL素子の発光量が制御され、その発光量の制御によって階調表示がなされる。

【0134】(実施例3)本実施例では同一基板上に画素部と、画素部の周辺に設ける駆動回路のTF T(nチャネル型TF T及びpチャネル型TF T)を同時に作製する方法について詳細に説明する。

【0135】まず、図7(A)に示すように、コーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板700上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜701を形成する。例えば、プラズマCVD法でSiH₄、NH₃、N₂Oから作製される酸化窒化シリコン膜701aを10~200nm(好ましくは50~100nm)形成し、同様にSiH₄、N₂Oから作製される酸化窒化水素化シリコン膜701bを50~200nm(好ましくは100~150nm)の厚さに積層形成する。本実施例では下地膜701を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させた構造として形成しても良い。

【0136】次に、20~150nm(好ましくは30~80nm)の厚さで非晶質構造を有する半導体膜(非晶質半導体膜)702を、プラズマCVD法やスパッタ法などの公知の方法で形成する。本実施例では、プラズマCVD法で非晶質シリコン膜を55nmの厚さに形成した。非晶質構造を有する半導体膜としては、非晶質半導体膜や微結晶半導体膜があり、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。また、下地膜701と非晶質シリコン膜702とは同じ成膜法で形成することが可能であるので、両者を連続形成しても良い。下地膜を形成した後、一旦大気雰囲気中に晒さないことでその表面の汚染を防ぐことが可能となり、作製するTF Tの特性バラツキやしきい値電圧の変動を低減させることができる。(図7(A))

【0137】次に、結晶質半導体膜を、触媒元素を用いた熱結晶化法により形成する。触媒元素を用いる場合、特開平7-130652号公報、特開平8-78329号公報で開示された技術を用いることが望ましい。

【0138】まず、非晶質半導体膜702上に酸化シリコン膜を150nmの厚さに形成し、パターニングすることでマスク703~705を形成した。なおこの酸化シリコン膜は、非晶質半導体膜702と連続的に形成しても良いし、下地膜701及び非晶質半導体膜702と連続的に形成しても良い。

【0139】次に、重量換算で10ppmのニッケルを含む酢酸ニッケル塩溶液を塗布した。これにより、ニッケル含有層706が形成され、ニッケル含有層706は開孔部707、708の底部のみで非晶質半導体膜702と接触した。(図7(B))

【0140】次に、500~650℃で4~24時間、例えば570℃、14時間の熱処理を行い、結晶質半導体膜709を形成した。この結晶化の過程では、ニッケルが接した非晶質半導体膜702の部分が最初に結晶化し、そこから横方向へと結晶化が進行する。こうして形成された結晶質半導体膜709は棒状または針状の結晶

が集合して成り、その各々の結晶は巨視的に見ればある特定の方向性をもって成長しているため、結晶性が揃っているという利点がある。(図7(B))

【0141】尚、上記2つの技術において使用可能な触媒元素は、ニッケル(Ni)の以外にも、ゲルマニウム(Ge)、鉄(Fe)、パラジウム(Pd)、スズ(Sn)、鉛(Pb)、コバルト(Co)、白金(Pt)、銅(Cu)、金(Au)、といった元素を用いても良い。

【0142】次に、リンをドーピングし、開孔部707、708において結晶質半導体膜709が露出している領域にリンが添加された領域710、711を設けた。

【0143】この状態で、窒素雰囲気中で550~800℃、5~24時間、例えば600℃、12時間の熱処理を行うと、結晶質半導体膜709にリンが添加された領域710、711がゲッターリングサイトとして働き、結晶質半導体膜709に残存していた触媒元素はリンが添加された領域710、711に偏析させることができた。(図7(C))

【0144】そして、マスク703~705と、リンが添加された領域710、711とをエッチングして除去しパターニングすることで、結晶化の工程で使用した触媒元素の濃度が 1×10^{17} atoms/cm³以下にまで低減された島状半導体膜712~715を得ることができた。

【0145】なお本実施例では触媒元素を用いて非晶質半導体膜702の結晶化を行ったが、本発明はこの方法に限定されず、公知の結晶化技術を用いることができる。公知の結晶化技術としては、例えば、公知の結晶化方法としては、電熱炉を使用した熱結晶化方法、レーザー光を用いたレーザーアニール結晶化法、赤外光を用いたランプアニール結晶化法が挙げられる。

【0146】レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し非晶質半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数300Hzとし、レーザーエネルギー密度を100~400 mJ/cm²(代表的には200~300 mJ/cm²)とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数30~300 Hzとし、レーザーエネルギー密度を300~600 mJ/cm²(代表的には350~500 mJ/cm²)とすると良い。そして幅100~1000 μm、例えば400 μmで線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を50~90%として行う。

【0147】また結晶化の工程に先立って、非晶質半導

体膜の含有水素量にもよるが、400~500℃で1時間程度の熱処理を行い、含有水素量を5 at%以下にしてから結晶化させても良い。非晶質半導体膜を結晶化させると原子の再配列が起こり緻密化するので、作製される結晶質半導体膜の厚さは当初の非晶質半導体膜の厚さよりも1~15%程度減少した。

【0148】島状半導体膜712~715の厚さは25~80 nm(好ましくは30~60 nm)の厚さで形成する。

【0149】次いで、島状半導体膜712~715を覆う第1の形状のゲート絶縁膜716を形成する。第1の形状のゲート絶縁膜716はプラズマCVD法またはスパッタ法を用い、厚さを40~150 nmとしてシリコンを含む絶縁膜で形成する。本実施例では、120 nmの厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS(Tetraethyl Orthosilicate)とO₂とを混合し、反応圧力40 Pa、基板温度300~400℃とし、高周波(13.56 MHz)電力密度0.5~0.8 W/cm²で放電させて形成することができる。このようにして作製される酸化シリコン膜は、その後400~500℃の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

(図7(D))

【0150】そして、第1の形状のゲート絶縁膜716上にゲート電極を形成するための第1の導電膜718と第2の導電膜719とを形成する。本実施例では、第1の導電膜718をTaで50~100 nmの厚さに形成し、第2の導電膜719をWで100~300 nmの厚さに形成する。(図8(A))

【0151】Ta膜はスパッタ法で形成し、TaのターゲットをArでスパッタする。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することができる。また、α相のTa膜の抵抗率は20 μΩcm程度でありゲート電極に使用することができるが、β相のTa膜の抵抗率は180 μΩcm程度でありゲート電極とするには不向きである。α相のTa膜を形成するために、Taのα相に近い結晶構造をもつ窒化タンタルを10~50 nm程度の厚さでTaの下地に形成しておくことα相のTa膜を容易に得ることができる。

【0152】W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タングステン(WF₆)を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20 μΩcm以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W中に

酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度 99.9999% または 99.99% の W ターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮して W 膜を形成することにより、抵抗率 $9 \sim 20 \mu\Omega \text{cm}$ を実現することができる。

【0153】なお、本実施例では、第 1 の導電膜 718 を Ta、第 2 の導電膜 719 を W としたが、特に限定されず、いずれも Ta、W、Ti、Mo、Al、Cu から選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の組み合わせの一例は、第 1 の導電膜を窒化タンタル (Ta₂N₅) で形成し、第 2 の導電膜を W とする組み合わせ、第 1 の導電膜を窒化タンタル (Ta₂N₅) で形成し、第 2 の導電膜を Al とする組み合わせ、第 1 の導電膜を窒化タンタル (Ta₂N₅) で形成し、第 2 の導電膜を Cu とする組み合わせで形成することが好ましい。

【0154】次に、レジストによるマスク 720~726 を形成し、電極及び配線を形成するための第 1 のエッチング処理を行う。本実施例では ICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスに CF₄ と Cl₂ を混合し、1 Pa の圧力でコイル型の電極に 500 W の RF (13.56 MHz) 電力を投入してプラズマを生成して行う。基板側 (試料ステージ) にも 100 W の RF (13.56 MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄ と Cl₂ を混合した場合には W 膜及び Ta 膜とも同程度にエッチングされる。

【0155】上記エッチング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第 1 の導電層及び第 2 の導電層の端部がテーパ形状となる。テーパ部の角度は $15 \sim 45^\circ$ となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、 $10 \sim 20\%$ 程度の割合でエッチング時間を増加させると良い。W 膜に対する酸化窒化シリコン膜の選択比は $2 \sim 4$ (代表的には 3) であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は $20 \sim 50 \text{nm}$ 程度エッチングされることになる。こうして、第 1 のエッチング処理により第 1 の導電層と第 2 の導電層から成る第 1 の形状の導電層 727~733 (第 1 の形状の第 1 の導電層 722a~733a と第 1 の形状の第 2 の導電層 722b~733b) を形成する。750 は第 2 の形状のゲート絶縁膜であり、第 1 の形状の導電層 727~733 で覆われない領域は $20 \sim 50 \text{nm}$ 程度エッチングされ薄くなった領域が形成される。(図 8 (B))

【0156】そして、第 1 のドーピング処理を行い n 型を付与する不純物元素を添加する。ドーピングの方法は

イオンドープ法若しくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14} \text{atoms/cm}^2$ とし、加速電圧を $60 \sim 100 \text{keV}$ として行う。n 型を付与する不純物元素として 15 族に属する元素、典型的にはリン (P) または砒素 (As) を用いるが、ここではリン (P) を用いる。この場合、第 1 の形状の導電層 728、729、731、733 が n 型を付与する不純物元素に対するマスクとなり、自己整合的に第 1 の不純物領域 734~737 が形成される。第 1 の不純物領域 734~737 には $1 \times 10^{20} \sim 1 \times 10^{21} \text{atomic/cm}^3$ の濃度範囲で n 型を付与する不純物元素を添加する。(図 8 (B))

【0157】次に、図 8 (C) に示すように第 2 のエッチング処理を行う。同様に ICP エッチング法を用い、エッチングガスに CF₄ と Cl₂ と O₂ を混合して、1 Pa の圧力でコイル型の電極に 500 W の RF 電力 (13.56 MHz) を供給し、プラズマを生成して行う。基板側 (試料ステージ) には 50 W の RF (13.56 MHz) 電力を投入し、第 1 のエッチング処理に比べ低い自己バイアス電圧を印加する。このような条件により W 膜を異方性エッチングし、かつ、それより遅いエッチング速度で第 1 の導電層である Ta を異方性エッチングして第 2 の形状の導電層 738~744 (第 2 の形状の第 1 の導電層 738a~744a と第 2 の形状の第 2 の導電層 738b~744b) を形成する。745 は第 3 の形状のゲート絶縁膜であり、第 2 の形状の導電層 738~744 で覆われない領域はさらに $20 \sim 50 \text{nm}$ 程度エッチングされ薄くなった領域が形成される。

【0158】W 膜や Ta 膜の CF₄ と Cl₂ の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することができる。W と Ta のフッ化物と塩化物の蒸気圧を比較すると、W のフッ化物である WF₆ が極端に高く、その他の WC₁₅、TaF₅、TaCl₅ は同程度である。従って、CF₄ と Cl₂ の混合ガスでは W 膜及び Ta 膜共にエッチングされる。しかし、この混合ガスに適量の O₂ を添加すると CF₄ と O₂ が反応して CO と F になり、F ラジカルまたは F イオンが多量に発生する。その結果、フッ化物の蒸気圧が高い W 膜のエッチング速度が増大する。一方、Ta は F が増大しても相対的にエッチング速度の増加は少ない。また、Ta は W に比較して酸化されやすいので、O₂ を添加することで Ta の表面が酸化される。Ta の酸化物はフッ素や塩素と反応しないためさらに Ta 膜のエッチング速度は低下する。従って、W 膜と Ta 膜とのエッチング速度に差を作ることが可能となり W 膜のエッチング速度を Ta 膜よりも大きくすることが可能となる。

【0159】そして、図 8 (D) に示すように第 2 のドーピング処理を行う。この場合、第 1 のドーピング処理よりもドーズ量を下げて高い加速電圧の条件として n 型

を付与する不純物元素をドーピングする。例えば、加速電圧を70~120keVとし、 $1 \times 10^{13}/\text{cm}^2$ のドーピング量で行い、図8(B)で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層739、740、742、744を不純物元素に対するマスクとして用い、第2の導電層739a、740a、742a、744aの下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第2の導電層導電層739a、740a、742a、744aと重なる第3の不純物領域746b~749bと、第1の不純物領域と第3の不純物領域との間の第2の不純物領域746a~749aとを形成する。n型を付与する不純物元素は、第2の不純物領域で $1 \times 10^{17} \sim 1 \times 10^{19} \text{atoms}/\text{cm}^3$ の濃度となるようにし、第3の不純物領域で $1 \times 10^{16} \sim 1 \times 10^{18} \text{atoms}/\text{cm}^3$ の濃度となるようにする。

【0160】そして、図9(A)に示すように、pチャネル型TFTを形成する島状半導体層713、715に一導電型とは逆の導電型の第4の不純物領域753a、754a、第5の不純物領域753b、754b、第6の不純物領域753c、754cが形成される。第2の導電層740、744を不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、nチャネル型TFTを形成する島状半導体層712、714はレジストマスク751、752で全面を被覆しておく。不純物領域753a、753b、753cにはそれぞれ異なる濃度でリンが添加されており、また754a、754b、754cにはそれぞれ異なる濃度でリンが添加されているが、ジボラン(B_2H_6)を用いたイオンドープ法で形成し、そのいずれの領域においても不純物濃度を $2 \times 10^{20} \sim 2 \times 10^{21} \text{atoms}/\text{cm}^3$ となるようにする。

【0161】以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第2の形状の第2の導電層739、740、742、744がゲート電極として機能する。また、741は島状のソース信号線、738は配線、743はゲート信号線として機能する。

【0162】こうして導電型の制御を目的として図9(B)に示すように、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーストアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラビッドサーマルアニール法(RTA法)を適用することができる。熱アニール法では酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400~700℃、代表的には500~600℃で行うものであり、本実施例では500℃で4時間の熱処理を行う。ただし、第2の導電層738~744に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜(シリコンを主成

分とする)を形成した後で活性化を行うことが好ましい。

【0163】さらに、3~100%の水素を含む雰囲気中で、300~450℃で1~12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

10 【0164】次いで、第1の層間絶縁膜755は酸化窒化シリコン膜から100~200nmの厚さで形成する。その上に有機絶縁物材料から成る第2の層間絶縁膜756を形成する。次いで、コンタクトホールを形成するためのエッチング工程を行う。

【0165】そして、駆動回路806において島状半導体層のソース領域とコンタクトを形成するソース配線757、758、ドレイン領域とコンタクトを形成するドレイン配線759、760を形成する。また、画素部807においては、接続電極761、ソース配線762、20 ドレイン配線763、764を形成する。(図9(C))この接続電極761により島状のソース信号線741は、スイッチング用TFT804と電気的な接続が形成される。

【0166】以上の様にして、nチャネル型TFT801、pチャネル型TFT802を有する駆動回路806と、スイッチング用TFT804、電流制御用TFT805とを有する画素部807を同一基板上に形成することができる。本明細書中ではこのような基板を便宜上アクティブマトリクス基板と呼ぶ。

30 【0167】駆動回路806のnチャネル型TFT801はチャネル形成領域788、ゲート電極を形成する第2の形状の第2の導電層739と重なる第3の不純物領域746b(GOLD領域)、第3の不純物領域746bに接する第2の不純物領域746a(LDD領域)とソース領域またはドレイン領域として機能する第1の不純物領域734を有している。pチャネル型TFT802にはチャネル形成領域789、ゲート電極を形成する第2の形状の第2の導電層740と重なる第4の不純物領域753c、第4の不純物領域753cに接する第5の不純物領域753b、ソース領域またはドレイン領域として機能する第6の不純物領域753aを有している。

【0168】画素部のスイッチング用TFT804はチャネル形成領域790、ゲート電極を形成する第2の形状の第2の導電層742と重なる第3の不純物領域748b(GOLD領域)、第3の不純物領域748bに接する第2の不純物領域748a(LDD領域)とソース領域またはドレイン領域として機能する第1の不純物領域736を有している。また、電流制御用TFT805 50 はチャネル形成領域791、ゲート電極を形成する第2

の形状の第2の導電層744と重なる第4の不純物領域754c、第4の不純物領域754cに接する第5の不純物領域754b、ソース領域またはドレイン領域として機能する第6の不純物領域754aを有している。

【0169】次に、図10(A)に示すように50~500nm(代表的には200~300nm)の厚さで第1パッシベーション膜766を形成する。本実施例では第1パッシベーション膜766として300nm厚の窒化酸化珪素膜を用いる。これは窒化珪素膜で代用しても良い。なお、窒化酸化珪素膜の形成に先立ってH₂、N₂、H₃等水素を含むガスを用いてプラズマ処理を行うことは有効である。この前処理により励起された水素が第2の層間絶縁膜756に供給され、熱処理を行うことで、第1パッシベーション膜766の膜質が改善される。それと同時に、第2の層間絶縁膜756に添加された水素が下層側に拡散するため、効果的に活性層を水素化することができる。

【0170】次に、有機樹脂からなる第3の層間絶縁膜767を形成する。有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB(ベンゾシクロブテン)等を使用することができる。特に、第3の層間絶縁膜767は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではTFTによって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは1~5μm(さらに好ましくは2~4μm)とすれば良い。(図10(A))

【0171】次に第3の層間絶縁膜767及び第1パッシベーション膜766に、ドレイン配線764に達するコンタクトホールを形成し、画素電極768を形成する。本実施例では酸化インジウム・スズ(ITO)膜を110nmの厚さに形成し、パターニングを行って画素電極768を形成する。また、酸化インジウムに2~20%の酸化亜鉛(ZnO)を混合した透明導電膜を用いても良い。この画素電極768がEL素子の陽極に相当する。

【0172】次に有機樹脂膜を画素電極768及び第3の層間絶縁膜767上に形成し、該有機樹脂膜をパターニングすることで、バンク769及び平坦化部770を形成する。本実施例では有機樹脂膜として1~2μm厚のアクリル膜またはポリイミド膜を用いた。

【0173】バンク769は、隣り合う画素の発光層またはEL層を分離するために画素と画素との間にストライプ状に設ける。本実施例ではバンク769はソース信号線741上に沿って形成されているが、ゲート信号線743上に沿って形成しても良い。なおバンク769を形成している樹脂材料に顔料等を混ぜ、バンク769を遮蔽膜として用いても良い。

【0174】平坦化部770は、画素電極768と電流制御用TFT805のドレイン配線764とが接続されている部分の上に設けられる。画素電極768はコンタ

クトホールの段差によってドレイン配線764との接続が切り離される場合があり、後に形成されるEL層771の発光不良を防ぐために、平坦化部770を設けて平坦化しておくことが望ましい。なお、バンク769及び平坦化部770とは同じ厚さに形成しなくとも良く、後に形成されるEL層771の厚さに応じて適宜設定することが可能である。

【0175】次に、EL層771及び陰極(MgAg電極)772を、真空蒸着法を用いて大気解放しないで連続形成する。なお、EL層771の膜厚は80~200nm(典型的には100~120nm)、陰極772の厚さは180~300nm(典型的には200~250nm)とすれば良い。なお、本実施例では一画素しか図示されていないが、このとき同時に赤色に発光するEL層、緑色に発光するEL層及び青色に発光するEL層が形成される。

【0176】この工程では、赤色に対応する画素、緑色に対応する画素及び青色に対応する画素に対して順次EL層771を形成する。但し、EL層771は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いず、各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的にEL層771を形成するのが好ましい。

【0177】即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光のEL層を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光のEL層を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光のEL層を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。また、全画素にEL層を形成するまで真空を破らずに処理することが好ましい。

【0178】なお、本実施例ではEL層771を発光層のみからなる単層構造とするが、EL層は発光層の他に正孔輸送層、正孔注入層、電子輸送層、電子注入層等を有していても構わない。このように組み合わせは既に様々な例が報告されており、そのいずれの構成を用いても構わない。EL層771としては公知の材料を用いることができる。公知の材料としては、EL駆動電圧を考慮すると有機材料を用いるのが好ましい。

【0179】次に、陰極772を形成する。本実施例ではEL素子の陰極としてMgAg電極を用いた例を示すが、公知の他の材料を用いることが可能である。

【0180】こうして図10(B)に示すような構造のアクティブマトリクス基板が完成する。なお、バンク769及び平坦化部770を形成した後、陰極772を形成するまでの工程をマルチチャンバー方式(またはインライン方式)の薄膜形成装置を用いて、大気解放せずに

連続的に処理することは有効である。

【0181】本実施例において、スイッチング用TFT 804はダブルゲート構造としており、ダブルゲート構造とすることで実質的に二つのTFTが直列に接続された構造となり、オフ電流値を低減することができるという利点がある。なお、本実施例ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。

【0182】なお、実際には図10(B)まで完成したら、さらに外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム(ラミネートフィルム、紫外線硬化樹脂フィルム等)や透光性のシーリング材でパッケージング(封入)することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたたり、内部に吸湿性材料(例えば酸化バリウム)を配置したりするとEL素子の信頼性が向上する。

【0183】また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ(フレキシブルプリントサーキット:FPC)を取り付けて製品として完成する。

【0184】(実施例4)本実施例では、本発明を用いて発光装置を作製した例について説明する。なお、図11(A)は本発明の発光装置の上面図であり、図11(B)はその断面図である。

【0185】図11(A)において、4001は基板、4002は画素部、4003はソース信号線駆動回路、4004はゲート信号線駆動回路であり、それぞれの駆動回路は配線4005を経てFPC(フレキシブルプリントサーキット)4006に至り、外部機器へと接続される。

【0186】このとき、画素部4002、ソース信号線駆動回路4003及びゲート信号線駆動回路4004を囲むようにして第1シール材4101、カバー材4102、充填材4103及び第2シール材4104が設けられている。

【0187】また、図11(B)は図11(A)をA-A'で切断した断面図に相当し、基板4001の上にソース信号線駆動回路4003に含まれる駆動TFT(但し、ここではnチャネル型TFTとpチャネル型TFTを図示している。)4201及び画素部4002に含まれる電流制御用TFT(EL素子への電流を制御するTFT)4202が形成されている。なお図11(B)ではスイッチング用TFTは説明を簡便にするために図示しなかった。

【0188】本実施例では、駆動TFT4201及び電流制御用TFT4202は公知の作製方法を用いて形成されている。また、画素部4002には電流制御用TFT4202のゲート電極に接続された保持容量(図示せ

ず)が設けられる。

【0189】駆動TFT4201及びスイッチング用TFT4202の上には樹脂材料でなる層間絶縁膜(平坦化膜)4301が形成され、その上に画素TFT4202のドレイン領域と電気的に接続する画素電極(陽極)4302が形成される。画素電極4302としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものをを用いても良い。

【0190】そして、画素電極4302の上には絶縁膜4303が形成され、絶縁膜4303は画素電極4302の上に開口部が形成されている。この開口部において、画素電極4302の上にはEL(エレクトロルミネッセンス)層4304が形成される。EL層4304は公知の有機EL材料または無機EL材料を用いることができる。また、有機EL材料には低分子系(モノマー系)材料と高分子系(ポリマー系)材料があるが、どちらを用いても良い。

【0191】EL層4304の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、EL層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

【0192】EL層4304の上には遮光性を有する導電膜(代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜)からなる陰極4305が形成される。また、陰極4305とEL層4304の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中で両者を連続成膜するか、EL層4304を窒素または希ガス雰囲気中で形成し、酸素や水分に触れさせないまま陰極4305を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式(クラスターツール方式)の成膜装置を用いることで上述のような成膜を可能とする。

【0193】そして陰極4305は4306で示される領域において配線4005に電気的に接続される。配線4005は陰極4305に所定の電圧を与えるための配線であり、異方導電性フィルム4307を介してFPC4006に電気的に接続される。

【0194】以上のようにして、画素電極(陽極)4302、EL層4304及び陰極4305からなるEL素子が形成される。このEL素子は、第1シール材4101及び第2シール材4104によって基板4001に貼り合わされたカバー材4102で囲まれ、充填材4103により封入されている。

【0195】カバー材4102としては、ガラス材、金属材(代表的にはステンレス材)、セラミックス材、プラスチック材(プラスチックフィルムも含む)を用いる

10

20

30

40

50

ことができる。プラスチック材としては、FRP (Fiberglass-Reinforced Plastics) 板、PVF (ポリビニルフルオライド) フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【0196】但し、EL素子からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【0197】また、充填材4103としては紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC (ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB (ポリビニルブチラル) またはEVA (エチレンビニルアセテート) を用いることができる。この充填材4103の内部に吸湿性物質 (好ましくは酸化バリウム) もしくは酸素を吸着する物質を設けておくこととEL素子の劣化を抑制できる。

【0198】また、充填材4103の中にスペーサを含有させてもよい。このとき、スペーサを酸化バリウムで形成すればスペーサ自体に吸湿性をもたせることが可能である。また、スペーサを設けた場合、スペーサからの圧力を緩和するバッファ層として陰極4305上に樹脂膜を設けることも有効である。

【0199】また、配線4005は異方導電性フィルム4307を介してFPC4006に電気的に接続される。画素部4002、ソース信号線駆動回路4003及びゲート信号線駆動回路4004に接続されている配線4005は、FPC4006により外部機器と電気的に接続される。

【0200】また、本実施例では第1シール材4101の露呈している部分及びFPC4006の一部を覆うように第2シール材4104を設け、EL素子を徹底的に外気から遮断する構造となっている。

【0201】(実施例5) 本実施例では、実施例1乃至実施例4に示した発光装置の画素部に用いることができる画素構造の例を図12(A)～図12(C)に示す。なお、本実施例において、4601はソース信号線、4602はスイッチング用TFT、4603はゲート信号線、4604は電流制御用TFT、4605はコンデンサ、4606、4608は電源供給線、4607はEL素子とする。

【0202】図12(A)は、同じゲート信号線を有する二つの画素で、電源供給線4606を共有している場合の回路図である。即ち、二つの画素が電源供給線4606を中心に線対称となるように形成されている点に特徴がある。この場合、電源供給線の本数を減らすことができるため、画素部を高精細化することができる。

【0203】また、図12(B)は、電源供給線4608をゲート信号線4603と平行に設けた場合の回路図である。なお、図12(B)では電源供給線4608とゲート信号線4603とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電源供給線4608とゲート信号線4603とで専有面積を共有させることができるため、画素部を高精細化することができる。

10 【0204】また、図12(C)は、図12(B)の構造と同様に電源供給線4608をゲート信号線4603(4603a、4603b)と平行に設け、さらに、二つの画素を電源供給線4608を中心に線対称となるように形成する点に特徴がある。また、電源供給線4608をゲート信号線4603a、4603bのいずれか一方と重なるように設けることも有効である。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

20 【0205】(実施例6) 本実施例では、本発明の発光装置のソース信号線駆動回路の詳しい回路構成について、図13を用いて説明する。

【0206】1301はシフトレジスタ、1302はレベルシフト、1303はサンプリング回路、1304はアナログスイッチ、1305はビデオ信号線である。

【0207】パネル制御信号であるクロック信号(CLK)、スタートパルス信号(SP)がシフトレジスタ1301に入力される。そしてシフトレジスタ1301からビデオ信号をサンプリングするためのサンプリング信号が出力される。出力されたサンプリング信号はレベルシフト1302に入力される。

30 【0208】レベルシフト1302に入力されたクロック信号は、その電位の振幅を大きくされる。レベルシフト1302の等価回路図を図14(A)に示す。Vin、Vlnbは入力端子を意味し、VlnbはVinに入力される信号の電位を反転させた信号が入力されることを意味する。また、Vddhは高電圧側の電源の電圧、Vssは低電圧側の電源の電圧の印加を示している。Voutbは出力端子であり、レベルシフト1302は、Vinに入力された信号を高電圧化し反転させた信号が、Voutbから出力されるように設計されている。つまり、VinにHiが入力されるとVoutbからVss相当の信号が、Loが入力されるとVoutbからVddh相当の信号が出力される。

40 【0209】なお本実施例では図14(A)に示した構成のレベルシフトを用いたが、本発明はこれに限定されない。本発明の発光装置では、公知の構成を有するレベルシフトを用いることができる。

50 【0210】レベルシフト1302から出力されたサンプリング信号は、サンプリング回路1303に入力される。そして同時に、ビデオ信号線1305を介してビデ

オ信号がサンプリング回路1303に入力される。

【0211】サンプリング回路1303はアナログスイッチ1304を有している。図14(B)に本実施例で用いられるアナログスイッチ1304の等価回路図を示す。サンプリング回路1303に入力されたサンプリング信号の電圧がサンプリング回路1303のアナログスイッチ1304を構成するTFTのゲート電極に印加される。それによりアナログスイッチ1304を構成するTFTにチャネルが形成され、ソースからドレインへ電流が流れる。よってビデオ信号がサンプリングされ、ソース信号線(S1、S2)を介して画素TFTのソースに供給される。

【0212】なお本実施例では図14(B)に示した構成のアナログスイッチを用いたが、本発明はこれに限定されない。本発明の発光装置では、公知の構成を有するアナログスイッチを用いることができる。また図13では説明を簡便にするためにソース信号線をS1とS2の2本しか示さなかったが、本実施例のソース信号線の数はこれに限定されない。

【0213】なお本実施例は、本明細書の全ての実施例と組み合わせて実施することが可能である。

【0214】(実施例7)本実施例では本発明の発光装置の画素の上面図を、図15に一例として示す。

【0215】1501はスイッチング用TFTであり、ゲート電極1501__1と活性層1501__2とを有している。1502は電流制御用TFTであり、活性層1502__2と配線1509の一部であるゲート電極1502__1とを有している。なお本実施例ではスイッチング用TFT1501をダブルゲート構造とし、電流制御用TFT1502をシングルゲート構造としたが、本発明はこの構成に限定されない。スイッチング用TFT1501と電流制御用TFT1502は、シングルゲート構造でも良いし、ダブルゲート構造またはトリプルゲート構造などのマルチゲート構造を有していても良い。

【0216】1503はソース信号線、1504は電源供給線、1505はゲート信号線である。ソース信号線1503はスイッチング用TFT1501の活性層1501__2とコンタクトホールを介して接続されている。電源供給線1504は電流制御用TFT1502の活性層1502__2が有するソース領域にコンタクトホールを介して接続されている。またゲート信号線1505はスイッチング用TFT1501のゲート電極1501__1に接続されている。

【0217】電流制御用TFT1502のゲート電極1502__1を含む配線1509は1511で示される領域で、電源供給線1504と絶縁膜を介して重なる。このとき、1511で示される領域では保持容量(コンデンサ)が形成される。保持容量1511は、電源供給線1504と電氣的に接続された半導体膜1510、ゲート絶縁膜と同一層の絶縁膜(図示せず)及び配線150

9との間で形成される。また、配線1509、第1層間絶縁膜と同一の層(図示せず)及び電源供給線1504で形成される容量も保持容量として用いることが可能である。この保持容量1511は電流制御用TFT1502のゲート電極1502__1にかかる電圧を保持するためのコンデンサとして機能する。なお、電流制御用TFT1502のソース領域は電源供給線(電源線)1504に接続され、常に一定の電圧が加えられている。

【0218】スイッチング用TFT1501及び電流制御用TFT1502の上には第1パッシベーション膜(図示せず)が設けられ、その上に樹脂絶縁膜でなる平坦化膜(第3の層間絶縁膜)(図示せず)が形成される。平坦化膜を用いてTFTによる段差を平坦化することは非常に重要である。後に形成されるEL層(図示せず)は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、EL層をできるだけ平坦面に形成しうるように画素電極1507を形成する前に平坦化しておくことが望ましい。

【0219】また、1507は反射性の高い導電膜でなる画素電極(EL素子の陰極)であり、第1パッシベーション膜及び平坦化膜に設けられたコンタクトホールを介して、電流制御用TFT1502のドレイン領域に電氣的に接続される。画素電極1507としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。

【0220】次に有機樹脂膜を画素電極1507及び平坦化膜上に形成し、該有機樹脂膜をパターンニングすることで、バンク1506を形成する。バンク1506は、隣り合う画素の発光層またはEL層を分離するために設ける。バンク1506により形成された溝(画素に相当する)の中に発光層(図示せず)が形成される。なお図15では、保持容量1511の位置を明確にするために一部バンクを省略しているが、電源供給線1503とソース信号線1504を一部覆うように、画素間に設けられている。また、ここでは二画素しか図示していないが、R(赤)、G(緑)、B(青)の各色に対応した発光層を作り分けても良い。発光層とする有機EL材料としてはπ共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフェニレンビニレン(PPV)系、ポリビニルカルバゾール(PVK)系、ポリフルオレン系などが挙げられる。

【0221】なお、PPV系有機EL材料としては様々な型のものがあるが、例えば「H. Shenk, H. Becker, O. Gelsen, E. Kluge, W. Kreuder, and H. Spreitzer, "Polymers for Light Emitting Diodes", Euro Display, Proceeding s, 1999, p. 33-37」や特開平10-92576号公報に記載されたような材料を用いれば良い。

【0222】本実施例ではポリマー系材料を発光層として用いる例を示したが、低分子系有機EL材料を用いて

も良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機EL材料や無機材料は公知の材料を用いることができる。

【0223】本実施例では発光層の上にPEDOT（ポリチオフェン）またはPAni（ポリアニリン）でなる正孔注入層（図示せず）を設けた積層構造のEL層としている。そして、正孔注入層の上には透明導電膜でなる陽極（図示せず）が設けられる。本実施例の場合、発光層で生成された光は上面側に向かって（TFTの上方に向かって）放射されるため、陽極は透光性でなければならない。透明導電膜としては酸化インジウムと酸化スズとの化合物や酸化インジウムと酸化亜鉛との化合物を用いることができるが、耐熱性の低い発光層や正孔注入層を形成した後で形成するため、可能な限り低温で成膜できるものが好ましい。

【0224】陽極まで形成された時点でEL素子が完成する。なお、ここでいうEL素子は、画素電極（陰極）1507、発光層、正孔注入層及び陽極で形成されたコンデンサを指す。図15に示すように画素電極1507は画素の面積にほぼ一致するため、画素全体がEL素子として機能する。従って、発光の利用効率が非常に高く、明るい画像表示が可能となる。

【0225】以上のように本発明のEL表示パネルは図15のような構造の画素からなる画素部を有し、オフ電流値の十分に低いスイッチング用TFTと、ホットキャリア注入に強い電流制御用TFTとを有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能なEL表示パネルが得られる。

【0226】なお、本実施例の構成は、実施例1、2、6、8と自由に組み合わせて実施することが可能である。

【0227】（実施例8）本実施例では、上記各実施例において、EL層を形成する際に使用する成膜装置の例を示す。

【0228】本実施例の成膜装置について図19を用いて説明する。図19において、1101は搬送室（A）であり、搬送室（A）1101には搬送機構（A）1102が備えられ、基板1103の搬送が行われる。搬送室（A）1101は減圧雰囲気になされており、各処理室とはゲートによって遮断されている。各処理室への基板の受け渡しは、ゲートを開けた際に搬送機構（A）によって行われる。また、搬送室（A）1101を減圧するには、油回転ポンプ、メカニカルブースターポンプ、ターボ分子ポンプ若しくはクライオポンプなどの排気ポンプを用いることが可能であるが、水分の除去に効果的なクライオポンプが好ましい。

【0229】図19の成膜装置では、搬送室（A）1101の側面に排気ポート1104が設けられ、その下に排気ポンプが設置される。このような構造とすると排気

ポンプのメンテナンスが容易になるという利点がある。

【0230】以下に、各処理室についての説明を行う。なお、搬送室（A）1101は減圧雰囲気となるので、搬送室（A）1101に直接的に連結された処理室には全て排気ポンプ（図示せず）が備えられている。排気ポンプとしては油回転ポンプ、メカニカルブースターポンプ、ターボ分子ポンプ若しくはクライオポンプが用いられる。

【0231】まず、1105は基板のセッティング（設置）を行うストック室であり、ロードロック室とも呼ばれる。ストック室1105はゲート1100aにより搬送室（A）1101と遮断され、ここに基板1103をセットしたキャリア（図示せず）が配置される。なお、ストック室1105は基板搬入用と基板搬出用とで部屋が区別されていても良い。また、ストック室1105は上述の排気ポンプと高純度の窒素ガスまたは希ガスを導入するためのバージラインを備えている。

【0232】また、本実施例では基板1103を、素子形成面を下向きにしてキャリアにセットする。これは後に気相成膜（スパッタまたは蒸着による成膜）を行う際に、フェイスダウン方式（デポアップ方式ともいう）を行いやすくするためである。フェイスダウン方式とは、基板の素子形成面が下を向いた状態で成膜する方式をいい、この方式によればゴミの付着などを抑えることができる。

【0233】次に、1106は搬送室（B）であり、ストック室1105とはゲート1100bを介して連結され、搬送機構（B）1107を備えている。また、1108は焼成室（ベーク室）であり、ゲート1100dを介して搬送室（B）1106と連結している。なお、焼成室1108は基板の面の上下を反転させる機構を有する。即ち、フェイスダウン方式で搬送されてきた基板はここで一旦フェイスアップ方式に切り替わる。これは次のスピニングコート1109での処理がフェイスアップ方式で行えるようにするためである。また逆に、スピニングコート1109で処理を終えた基板は再び焼成室1108に戻ってきて焼成され、再び上下を反転させてフェイスダウン方式に切り替わり、ストック室1105へ戻る。

【0234】ところでスピニングコートを備えた成膜室1109はゲート1100cを介して搬送室（B）1106と連結している。スピニングコートを備えた成膜室1109はEL材料を含む溶液を基板上に塗布することでEL材料を含む膜を形成する成膜室であり、本実施例ではスピニングコートを備えた成膜室1109で高分子系（ポリマー系）有機EL材料を成膜する。なお、成膜されるEL材料は、発光層として用いるものだけでなく、電荷注入層または電荷輸送層をも含む。また、公知のいかなる高分子系有機EL材料を用いても良い。

【0235】発光層となる代表的な有機EL材料としては、PPV（ポリパラフェニレンビニレン）誘導体、P

VK (ポリビニルカルバゾール) 誘導体またはポリフルオレン誘導体が挙げられる。これは π 共役ポリマーとも呼ばれる。また、電荷注入層としては、PEDOT (ポリチオフェン) またはPAni (ポリアニリン) が挙げられる。

【0236】なお、本実施例ではスピンコータを用いた成膜室を示したが、スピンコータに限定する必要はなく、スピンコータに代えてディスペンサー、印刷またはインクジェットを用いた成膜室であっても構わない。

【0237】さらに、図19の成膜装置のように、前処理室1110、気層成膜室1111、封止室1112、紫外光照射機構1113、受渡室1114、搬送機構(C)1115、ゲート1100f、1100e、1100gを備えていても良い。

【0238】また、本実施例の成膜装置は、実施例1~7のいずれの構成を自由に組み合わせた構成において、EL層を形成する際に使用することが可能である。

【0239】(実施例9) 本実施例では赤色、青色、緑色の発光輝度が異なる有機EL材料を用いた発光装置において、発光輝度の低い色の表示を行う画素の電流制御用TFTのW/Lを、発光輝度の比較的高い色の表示を行う画素の電流制御用TFTのW/Lより大きくするようにした。上記構成によって、発光輝度の低い色の表示を行う画素の電流制御用TFTのドレイン電流を、発光輝度の比較的高い色の表示を行う画素の電流制御用TFTのドレイン電流より高くなるようにした。

【0240】よって赤色、青色、緑色の発光輝度が異なる有機EL材料を用いた発光装置において、発光輝度の低い色の表示を行うEL素子を流れる電流の量が、発光輝度の比較的高い色の表示を行うEL素子を流れる電流の量より大きくなった。これにより赤色、青色、緑色の発光輝度のバランスの良い画像を表示することが可能である。

【0241】なお本実施例は、他の全ての実施例と組み合わせる用いることが可能である。

【0242】(実施例10) 本実施例では本発明の発光装置の構成の一例を、図20を用いて説明する。

【0243】基板905上に絶縁膜906が形成されており、その上に駆動回路(ソース信号線駆動回路またはゲート信号線駆動回路)のCMOS回路が有するpチャネル型TFT901とnチャネル型TFT902と、画素部が有するスイッチング用TFT903と電流制御用TFT904とが形成されている。

【0244】駆動回路の有するpチャネル型TFT901はソース領域907、ドレイン領域909、チャンネル形成領域908を有している。そしてpチャネル型TFT901はチャンネル形成領域908上にゲート絶縁膜906と、前記ゲート絶縁膜906上にゲート電極922とを有している。ゲート絶縁膜906とゲート電極922とを覆って第1の層間絶縁膜927が設けられてい

る。そしてpチャネル型TFT901はゲート絶縁膜906と第1の層間絶縁膜927とに設けられたコンタクトホールを介して、ソース領域907に接続されているソース配線928と、ドレイン領域909に接続されているドレイン配線929とを有している。

【0245】駆動回路の有するnチャネル型TFT902はソース領域912、ドレイン領域910、チャンネル形成領域911を有している。そしてnチャネル型TFT902はチャンネル形成領域911上にゲート絶縁膜906と、前記ゲート絶縁膜906上にゲート電極923とを有している。ゲート絶縁膜906とゲート電極923とを覆って第1の層間絶縁膜927が設けられている。そしてnチャネル型TFT902はゲート絶縁膜906と第1の層間絶縁膜927とに設けられたコンタクトホールを介して、ソース領域912に接続されているソース配線930と、ドレイン領域910に接続されているドレイン配線929とを有している。

【0246】画素部の有するスイッチング用TFT903はダブルゲート構造を有している。なお本実施例においてスイッチング用TFT903はダブルゲート構造を有しているが、シングルゲート構造を有していても、他のマルチゲート構造を有していても構わない。スイッチング用TFT903はソース領域913、ドレイン領域917、チャンネル形成領域914、916、不純物添加領域915を有している。そしてスイッチング用TFT903はチャンネル形成領域914、916上にゲート絶縁膜906と、前記ゲート絶縁膜906上にゲート電極924、925とを有している。ゲート絶縁膜906とゲート電極924、925とを覆って第1の層間絶縁膜927が設けられている。そしてスイッチング用TFT903はゲート絶縁膜906と第1の層間絶縁膜927とに設けられたコンタクトホールを介して、ソース領域913に接続されているソース配線(ソース信号線)931と、ドレイン領域917に接続されているドレイン配線932とを有している。

【0247】また957はゲート配線(ゲート信号線)であり、スイッチング用TFT903のゲート電極924とゲート電極925とを電気的に接続している。ゲート配線925はスイッチング用TFT903のゲート電極924、925と同じ材料で形成されていても良いし、異なる材料で形成されていても良い。ゲート電極924、925を精密加工が容易な材料で形成し、ゲート配線957をゲート電極924、925を形成している材料よりも低い抵抗を有する材料で形成することで、より高精細で大画面の発光装置を形成することが可能になる。

【0248】画素部の有する電流制御用TFT904はシングルゲート構造を有している。なお本実施例において電流制御用TFT904はシングルゲート構造を有しているが、ダブルゲート構造を有していても、他のマル

チゲート構造を有していても構わない。電流制御用 T F T 904 はソース領域 918、ドレイン領域 920、チャネル形成領域 919 を有している。そして電流制御用 T F T 904 はチャネル形成領域 919 上にゲート絶縁膜 906 と、前記ゲート絶縁膜 906 上にゲート電極 926 とを有している。ゲート絶縁膜 906 とゲート電極 926 とを覆って第 1 の層間絶縁膜 927 が設けられている。そして電流制御用 T F T 904 はゲート絶縁膜 906 と第 1 の層間絶縁膜 927 とに設けられたコンタクトホールを介して、ソース領域 918 に接続されているソース配線 933 と、ドレイン領域 920 に接続されているドレイン配線 934 とを有している。

【0249】第 1 の層間絶縁膜 927 とソース配線 928、930、931、933 とドレイン配線 929、932、934 とを覆って第 2 の層間絶縁膜 935 が形成される。そして第 2 の層間絶縁膜 935 上に有機樹脂からなる第 3 の層間絶縁膜（平坦化膜）936 が形成されている。

【0250】第 2 の層間絶縁膜 935 と第 3 の層間絶縁膜 936 とに形成されたコンタクトホールを介して、電流制御用 T F T 904 のドレイン配線 934 と接続された画素電極 937 が、第 3 の層間絶縁膜 936 上に形成されている。なお本実施例において画素電極 937 は透明電極、例えば I T O で形成するのが好ましい。

【0251】また E L 層または発光層を画素間で区切るためのバンク 938 がソース配線 931 上に設けられている。なお本実施例ではバンク 938 をソース配線 931 上に設けたが本発明はこれに限定されない。バンク 938 をゲート配線 957 上に設けるようにしても良い。

【0252】画素電極 937 上には E L 層 939 が設けられている。E L 層は公知の材料を用いて形成することが可能である。そして E L 層 939 上には陰極 940 が設けられている。陰極 940 は公知の材料を用いて形成することが可能であり、本実施例では M g A g を用いて形成した。

【0253】なお E L 層 939 と陰極 940 は同一チャンパー内で、大気開放せずに連続して形成するのが好ましい。

【0254】本実施例の構成を有する発光装置は L D D 領域を有さないので、動作速度が比較的早い。

【0255】なお、E L 素子に加える電圧が 10 V 以下、好ましくは 5 V 以下となった場合、ホットキャリア効果による T F T の劣化はさほど問題とならなくなるため、本実施例に示した L D D 領域を有さない構成が作製工程数を抑える意味において有効である。

【0256】（実施例 11）本実施例では、上記した式 8、式 11 を用いて、実際の発光装置に本発明を適用した場合の、実施例とは異なる例について説明する。

【0257】本実施例では、解像度が 320×240 の Q V G A である、4 インチの発光装置を例にとって説明

する。

【0258】4 インチの Q V G A の発光装置の画素サイズは、84 μm×252 μm 程度である。一定の輝度を得ようとしたとき、単位面積あたりに E L 素子に流れる電流の大きさが決まる。本実施例では単位面積あたり 3 mA/cm² とする。

【0259】よって各画素の有する電流制御用 T F T のドレイン電流 I d は、以下の式 23 で表される。

【0260】

【式 23】

$$I_d = 3 \cdot (84 \cdot 10^{-4}) \cdot (252 \cdot 10^{-4}) = 6.35 \cdot 10^{-7} \text{ A}$$

【0261】上記の式 23 は、発光装置の開口率が 100% としたときの電流制御用 T F T のドレイン電流 I d の値である。実際には発光装置の開口率は 100% ではない場合が殆どである。発光装置の開口率が下がれば下がるほど、実際に必要なドレイン電流 I d の値は大きくなる。例えば本実施例の発光装置の開口率を 30% とすると、実際に必要なドレイン電流 I d の値は、以下の式 24 によって求められる。

【0262】

【式 24】

$$I_d = 6.35 \cdot 10^{-7} / 0.3 = 2.11 \mu\text{A}$$

【0263】また、本実施例で用いる発光装置はボトムゲート型の電流制御用 T F T を用いているので、電流制御用 T F T の移動度 μ = 50 (m²/V·sec)、ゲート容量の容量値 C₀ = 2.4 × 10⁻⁸ (F/cm²) とすると、式 25 から定数 A が求まる。

【0264】

【式 25】

$$A = \frac{2 \cdot I_d}{\mu \cdot C_0} = 3.52(A)$$

【0265】また本実施例では、各画素の発光輝度の差が例えば ±5% 以内に収まるようにする。そして T F T が破壊される直前のゲート電圧 V_{g s (max)} を 25 V とし、しきい値電圧 V_{t h} の値を 0 V とすると、式 8 と式 11 から、以下の式 26、式 27 が得られる。

【0266】

【式 26】

$$|\Delta V_{th}| \leq 0.046 \cdot \sqrt{L/W}$$

【0267】

【式 27】

$$2.26 \cdot 10^{-3} \leq \frac{W}{L} \leq \frac{2.14 \cdot 10^{-3}}{\Delta V_{th}^2}$$

【0268】本発明の発光装置は、上記の式 26 または式 27 を満たす範囲で ΔV_{t h} 及び W/L の値が定められており、ドレイン電流 I d のばらつきを ±5% 以内に

抑えられる。

【0269】電流制御用TFTのしきい値のばらつき ΔV_{th} は、一般的に0.1V以下であることが望ましい。

【0270】しきい値電圧のばらつき ΔV_{th} がTFTの作製プロセスによって、 $\Delta V_{th} \leq 0.1V$ であったとする。式27に $\Delta V_{th} = 0.1V$ を代入すると以下の式28が得られる。

【0271】

【式28】

$$2.26 \cdot 10^{-3} \leq \frac{W}{L} \leq 0.214$$

【0272】式28が成り立つようにチャネル長 L とチャネル幅 W の比 W/L を定めれば、ドレイン電流 I_d のばらつきを $\pm 5\%$ 以内に抑えることができる。

【0273】上記構成によって、本発明の発光装置は各画素に設けられる薄膜トランジスタの数を2つにして開口率の低下を抑え、なおかつ、各画素が有する電流制御用TFTのしきい値電圧のばらつきによる輝度むらを抑えることが可能になる。

【0274】なお本実施例ではドレイン電流 I_d のばらつきを $\pm 5\%$ 以内に抑える例について説明したが、本発明はこの数値に限定されない。

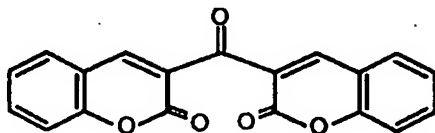
【0275】（実施例12）本発明において、三重項励起子からの燐光を発光に利用できるEL材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、EL素子の低消費電力化、長寿命化、および軽量化が可能になる。

【0276】ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。(T. Tsutsui, C. Adachi, S. Saito, Photochemical Processes in Organized Molecular Systems, ed. K. Honda, (Elsevier Sci. Pub., Tokyo, 1991) p. 437.)

【0277】上記の論文により報告されたEL材料（クマリン色素）の分子式を以下に示す。

【0278】

【化1】



【0279】(M. A. Baldo, D. F. O'Brien, Y. You, A. Shoustikov, S. Sibley, M. E. Thompson, S. R. Forrest, Nature 395 (1998) p. 151.)

【0280】上記の論文により報告されたEL材料（Pt錯体）の分子式を以下に示す。

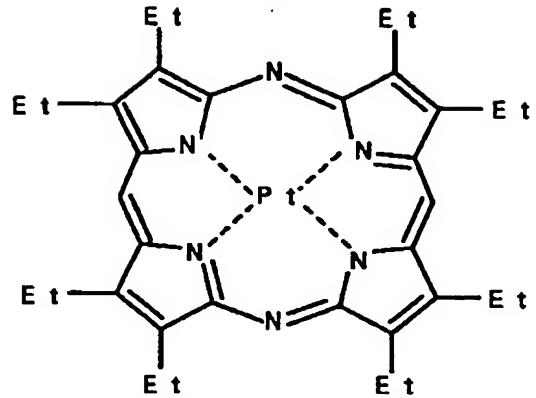
【0281】

【化2】

(24)

特開2001-318627

46



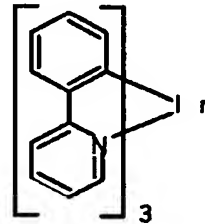
10

【0282】(M. A. Baldo, S. Lamansky, P. E. Burrows, M. E. Thompson, S. R. Forrest, Appl. Phys. Lett., 75 (1999) p. 4.) (T. Tsutsui, M. -J. Yang, M. Yahiro, K. Nakamura, T. Watanabe, T. Tsuji, Y. Fukuda, T. Wakimoto, S. Mayaguchi, Jpn. Appl. Phys., 38 (12B) (1999) L1502.)

【0283】上記の論文により報告されたEL材料（Ir錯体）の分子式を以下に示す。

【0284】

20 【化3】



【0285】以上のように三重項励起子からの燐光を発光にできれば原理的には一重項励起子からの蛍光を発光を用いる場合より3~4倍の高い外部発光量子効率の実現が可能となる。

【0286】なお、本実施例の構成は、実施例1~実施例11のいずれの構成とも自由に組み合わせて実施することが可能である。

【0287】（実施例13）発光装置は、自発光型であるため液晶表示装置に比べて明るい場所での視認性に優れ、しかも視野角が広い。従って、様々な電子機器の表示部に用いることができる。例えば、TV放送等を大画面で鑑賞するには対角30インチ以上（典型的には40インチ以上）のEL表示装置（発光装置を筐体に組み込んだ表示装置）の表示部として本発明の発光装置を用いるとよい。

40

【0288】なお、発光装置には、パソコン用ディスプレイ、TV放送受信用ディスプレイ、広告表示用ディスプレイ等の全ての情報表示用ディスプレイが含まれる。また、その他にも様々な電子機器の表示部として本発明の発光装置を用いることができる。

【0289】その様な本発明の電子機器としては、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシス

50

テム、音響再生装置（カーオーディオ、オーディオコンボ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはデジタルビデオディスク（DVD）等の記録媒体を再生し、その画像を表示するディスプレイを備えた装置）などが挙げられる。特に、斜め方向から見ることの多い携帯情報端末は視野角の広さが重要視されるため、発光装置を用いることが望ましい。それら電子機器の具体例を図16、図17に示す。

【0290】図16（A）はEL表示装置であり、筐体2001、支持台2002、表示部2003等を含む。本発明の発光装置は表示部2003に用いることができる。発光装置は自発光型であるためバックライトが必要なく、液晶表示装置よりも薄い表示部とすることができる。

【0291】図16（B）はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等を含む。本発明の発光装置は表示部2102に用いることができる。

【0292】図16（C）は頭部取り付け型の電気光学装置の一部（右片側）であり、本体2201、信号ケーブル2202、頭部固定バンド2203、スクリーン部2204、光学系2205、表示部2206等を含む。本発明の発光装置は表示部2206に用いることができる。

【0293】図16（D）は記録媒体を備えた画像再生装置（具体的にはDVD再生装置）であり、本体2301、記録媒体（DVD等）2302、操作スイッチ2303、表示部（a）2304、表示部（b）2305等を含む。表示部（a）2304は主として画像情報を表示し、表示部（b）2305は主として文字情報を表示するが、本発明の発光装置はこれら表示部（a）、

（b）2304、2305に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0294】図16（E）はゴーグル型ディスプレイ（ヘッドマウントディスプレイ）であり、本体2401、表示部2402、アーム部2403を含む。本発明の発光装置は表示部2402に用いることができる。

【0295】図16（F）はパーソナルコンピュータであり、本体2501、筐体2502、表示部2503、キーボード2504等を含む。本発明の発光装置は表示部2503に用いることができる。

【0296】なお、将来的にEL材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0297】また、上記電子機器はインターネットやC

ATV（ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。EL材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

【0298】また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0299】ここで図17（A）は携帯電話であり、本体2601、音声出力部2602、音声入力部2603、表示部2604、操作スイッチ2605、アンテナ2606を含む。本発明の発光装置は表示部2604に用いることができる。なお、表示部2604は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

【0300】また、図17（B）は音響再生装置、具体的にはカーオーディオであり、本体2701、表示部2702、操作スイッチ2703、2704を含む。本発明の発光装置は表示部2702に用いることができる。また、本実施例では車載用オーディオを示すが、携帯型や家庭用の音響再生装置に用いても良い。なお、表示部2702は黒色の背景に白色の文字を表示することで消費電力を抑えられる。これは携帯型の音響再生装置において特に有効である。

【0301】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例1～12に示したいずれの構成の発光装置を用いても良い。

【発明の効果】本発明は、しきい値電圧のばらつき ΔV_{th} がTFTの作製プロセスによって固定されてしまう場合、しきい値電圧のばらつき ΔV_{th} の値から、式14によってチャネル幅 W とチャネル長 L の比 W/L の範囲が定まる。

【0302】また本発明は、デザイン上の問題によってチャネル幅 W とチャネル長 L の比 W/L の値が固定されてしまう場合、チャネル幅 W とチャネル長 L の比 W/L の値から、式15によってしきい値電圧のばらつき ΔV_{th} の範囲が定まる。

【0303】上記構成によって、本発明の発光装置は各画素に設けられる薄膜トランジスタの数を2つにして開口率の低下を抑え、なおかつ、各画素が有する電流制御用TFTのしきい値電圧のばらつきによる輝度むらを抑えることが可能になる。

【図面の簡単な説明】

【図1】 本発明の発光装置の画素部の回路図。

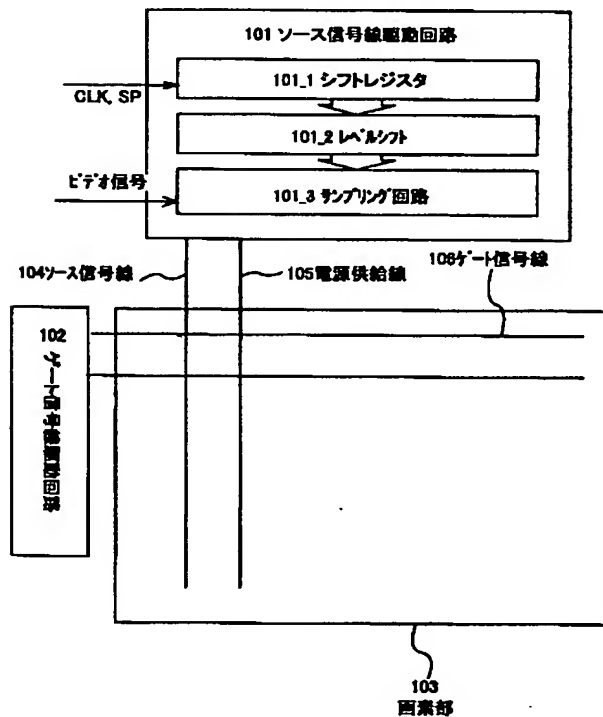
【図2】 本発明の発光装置の上面ブロック図。

【図3】 本発明の発光装置の駆動方法を示すタイミング

グチャート図。

- 【図 4】 本発明の発光装置の画素の回路図。
- 【図 5】 EL 素子の発光輝度と電流密度の相関図。
- 【図 6】 TFT の上面図。
- 【図 7】 発光装置の作製行程を示す図。
- 【図 8】 発光装置の作製行程を示す図。
- 【図 9】 発光装置の作製行程を示す図。
- 【図 10】 発光装置の作製行程を示す図。
- 【図 11】 本発明の発光装置の上面図及び断面図。
- 【図 12】 本発明の発光装置の画素の回路図。
- 【図 13】 ソース信号線駆動回路の回路図。
- 【図 14】 レベルシフト及びアナログスイッチの等価回路図。
- 【図 15】 画素上面図。
- 【図 16】 本発明の発光装置を用いた電子機器の図。
- 【図 17】 本発明の発光装置を用いた電子機器の図。
- 【図 18】 従来の発光装置の画素部の回路図。

【図 1】



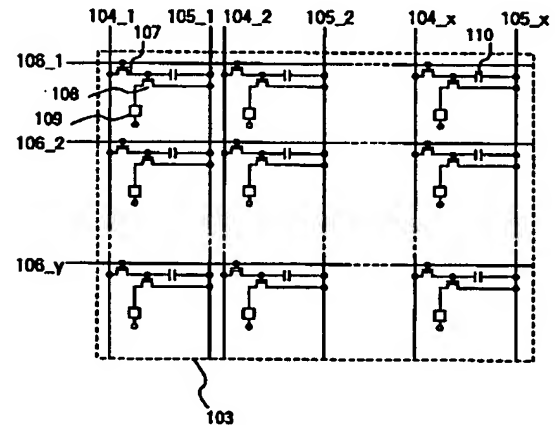
【図 19】 本発明の発光装置を作製する際に用いられるスピンコート図。

【図 20】 本発明の発光装置の断面詳細図。

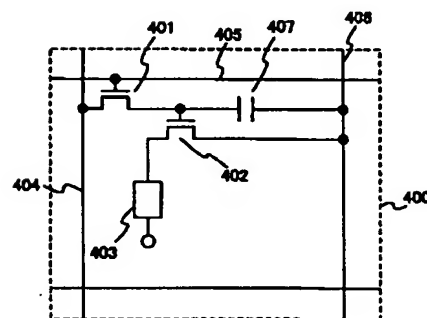
【符号の説明】

- 101 ソース信号線駆動回路
- 101_1 シフトレジスタ
- 101_2 レベルシフト
- 101_3 サンプル回路
- 102 ゲート信号線駆動回路
- 103 画素部
- 104 ソース信号線
- 105 電源供給線
- 106 ゲート信号線
- 107 スwitching用TFT
- 108 電流制御用TFT
- 109 EL素子

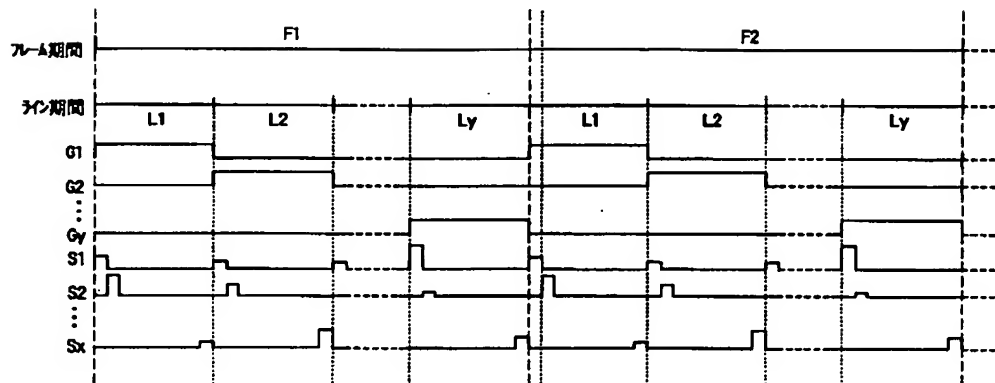
【図 2】



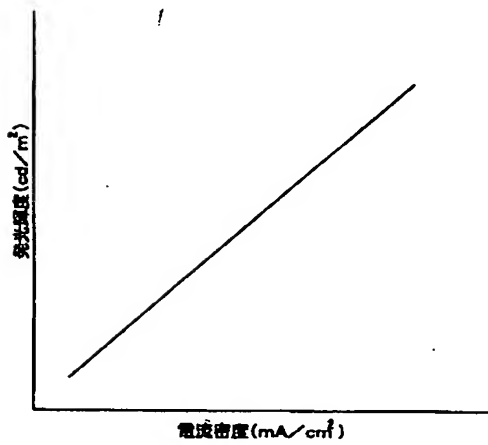
【図 4】



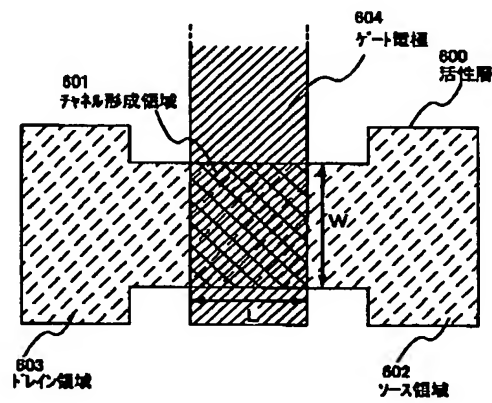
【図3】



【図5】

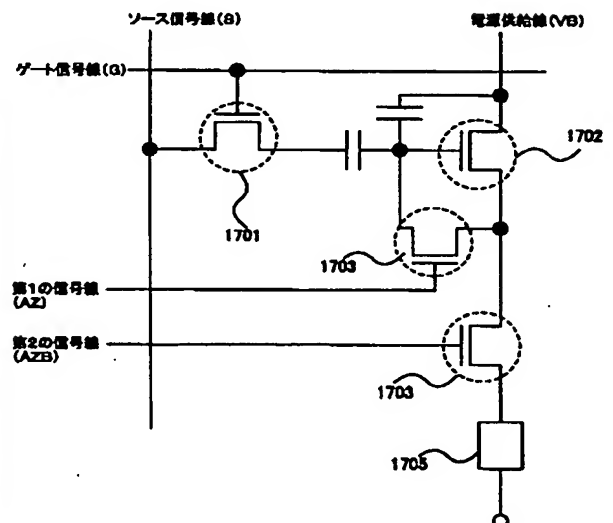
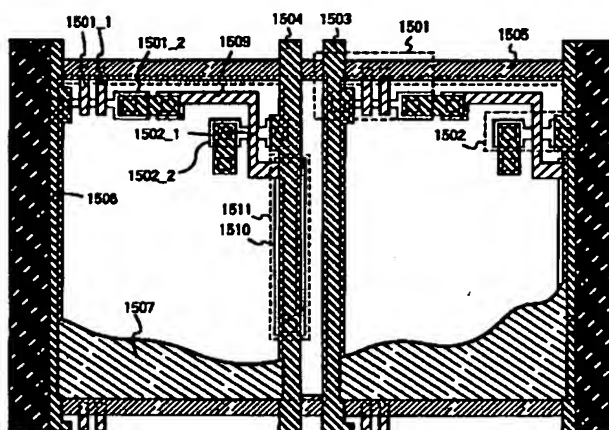


【図6】

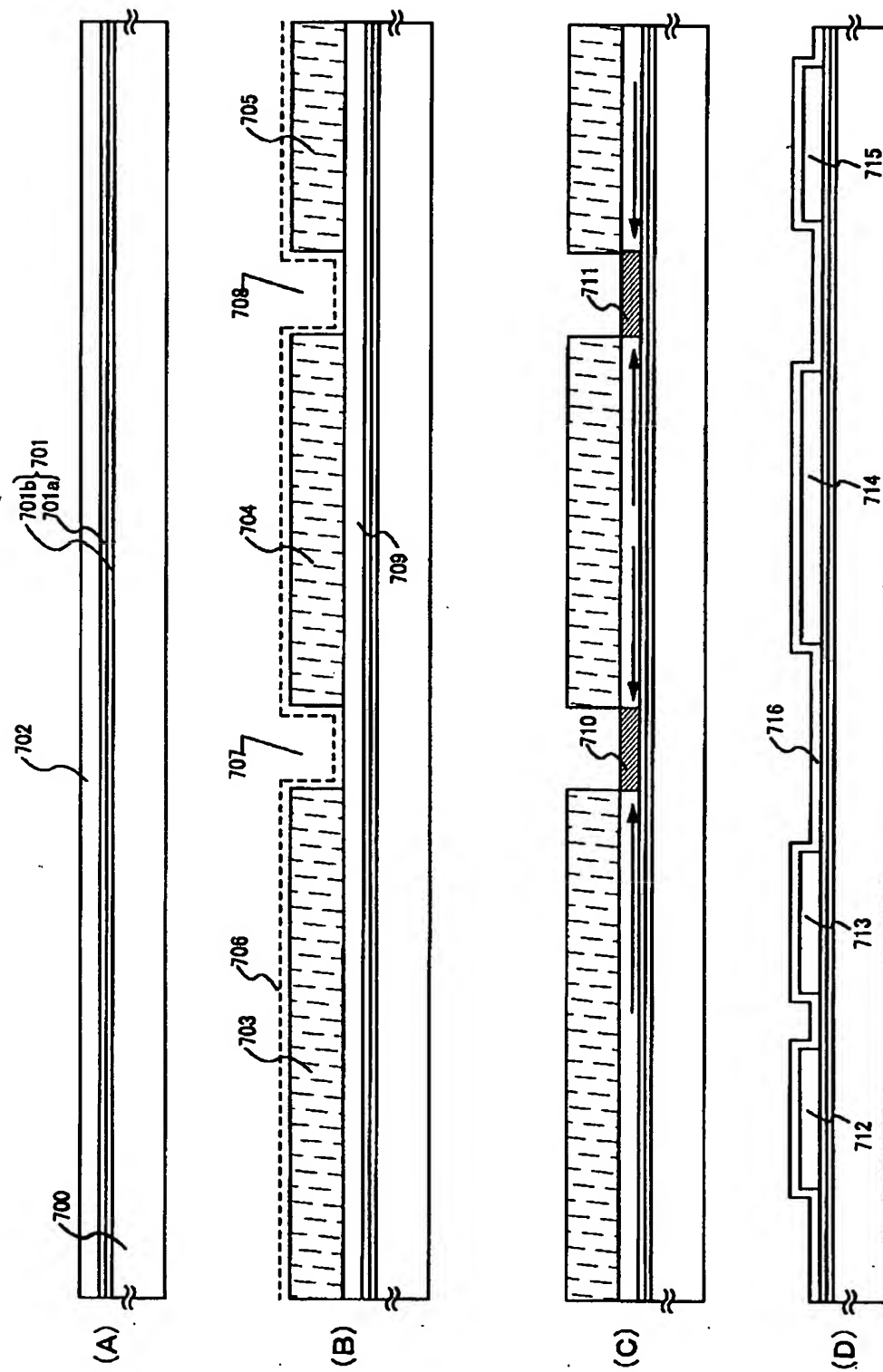


【図18】

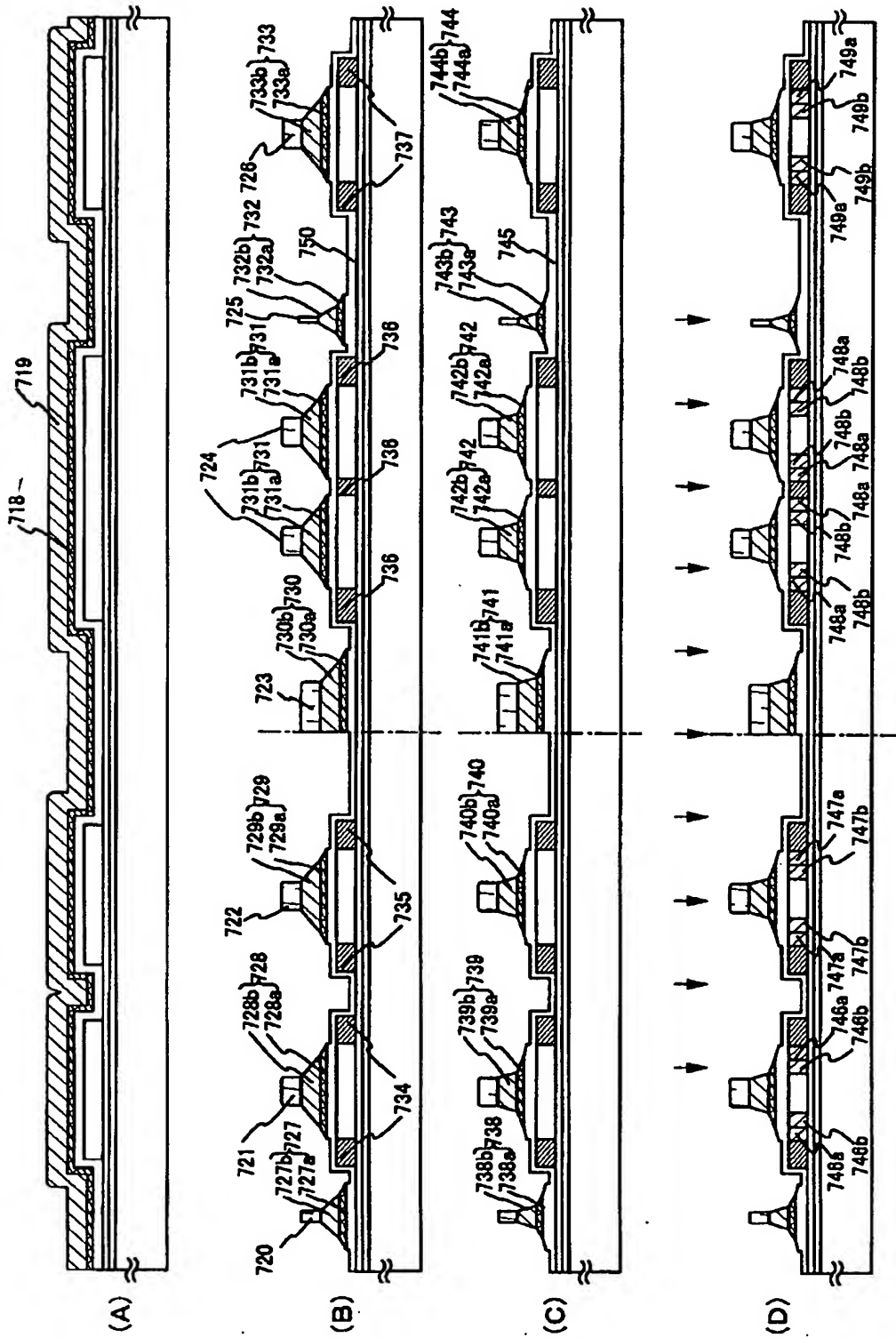
【図15】



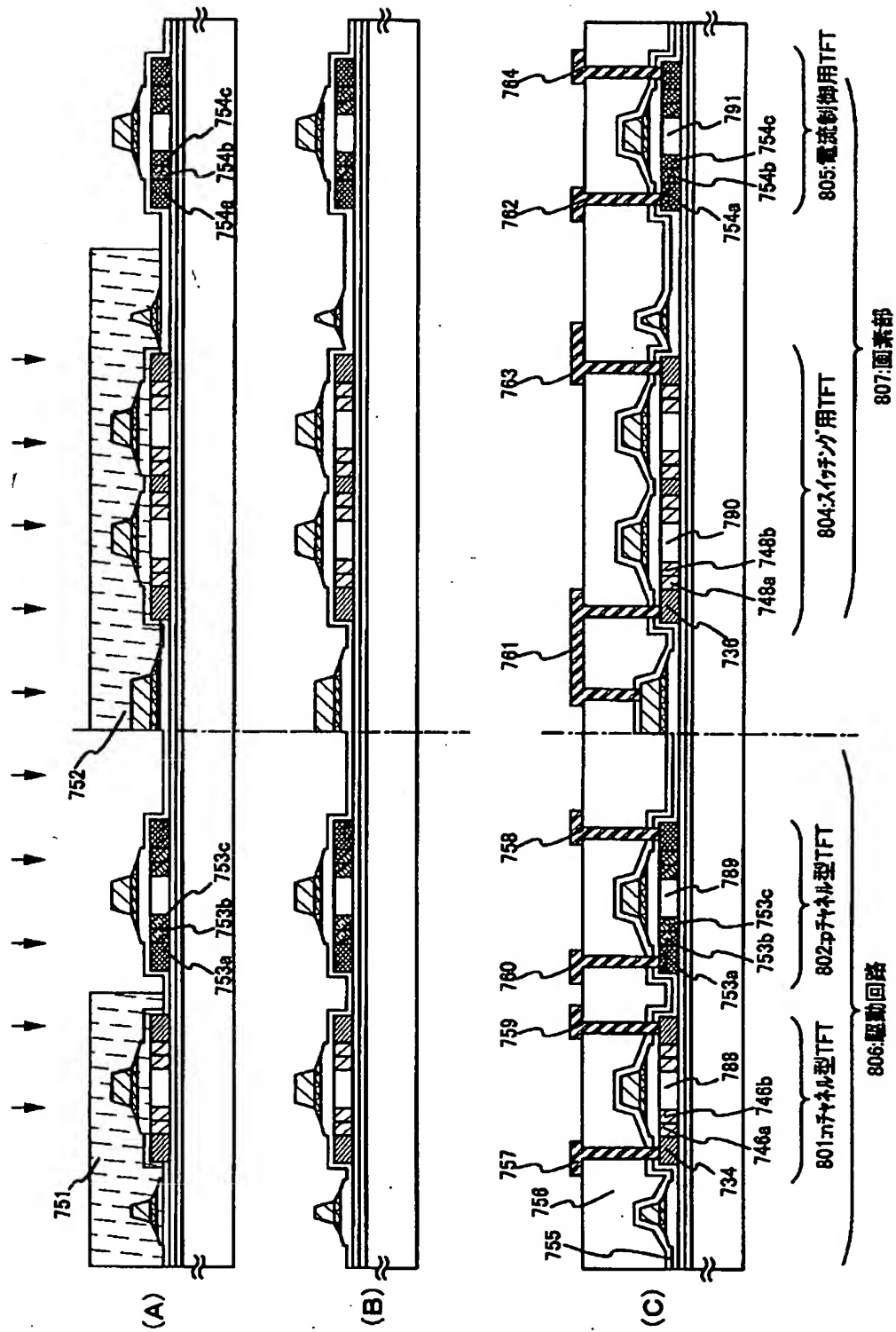
【図 7】



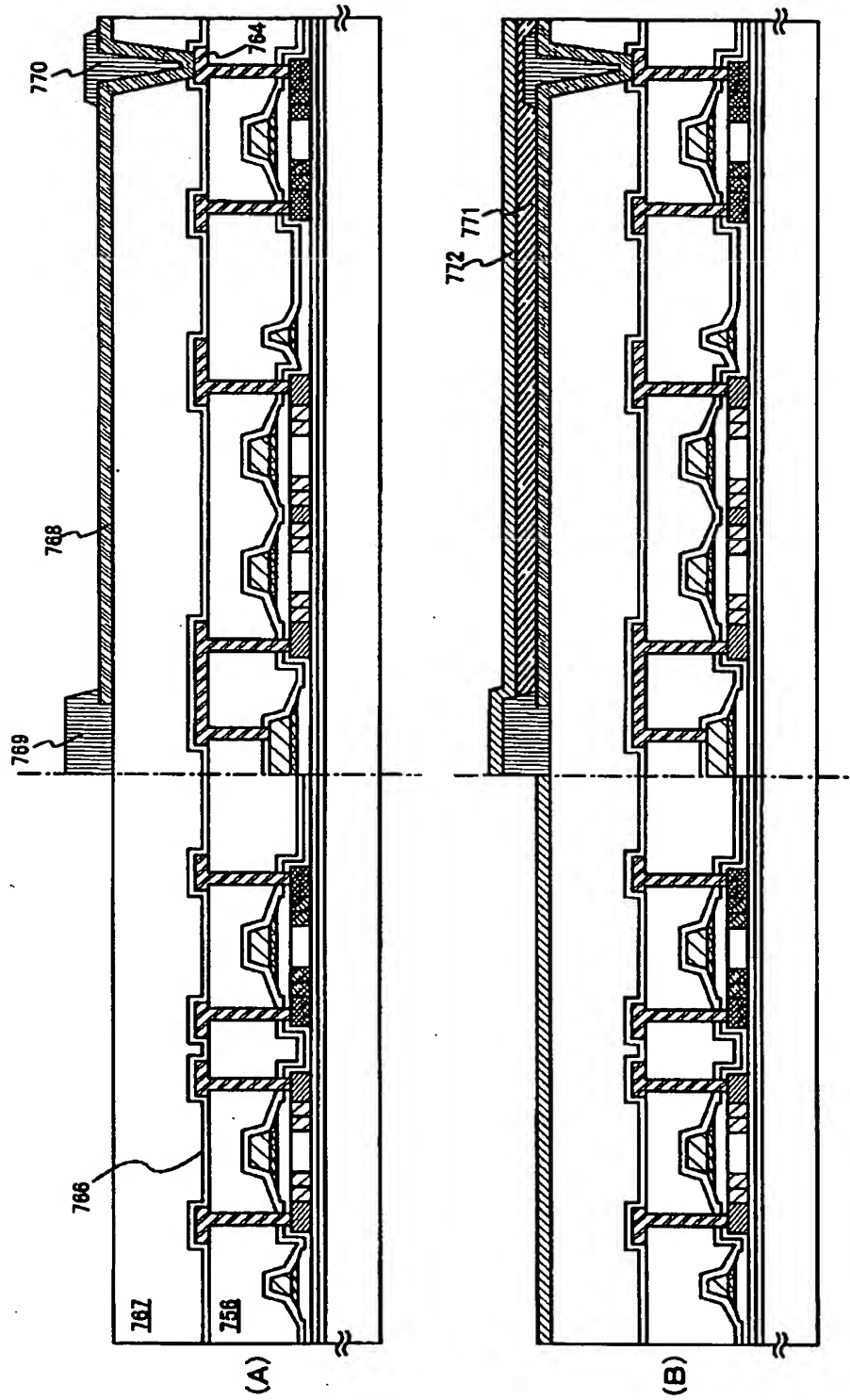
【図 8】



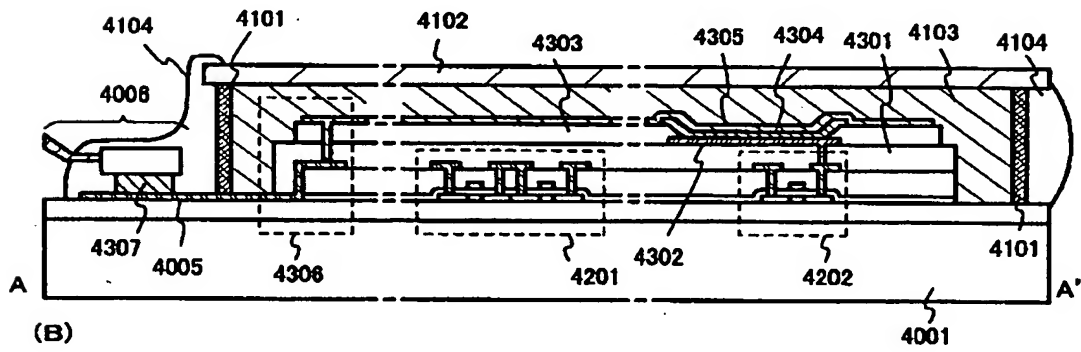
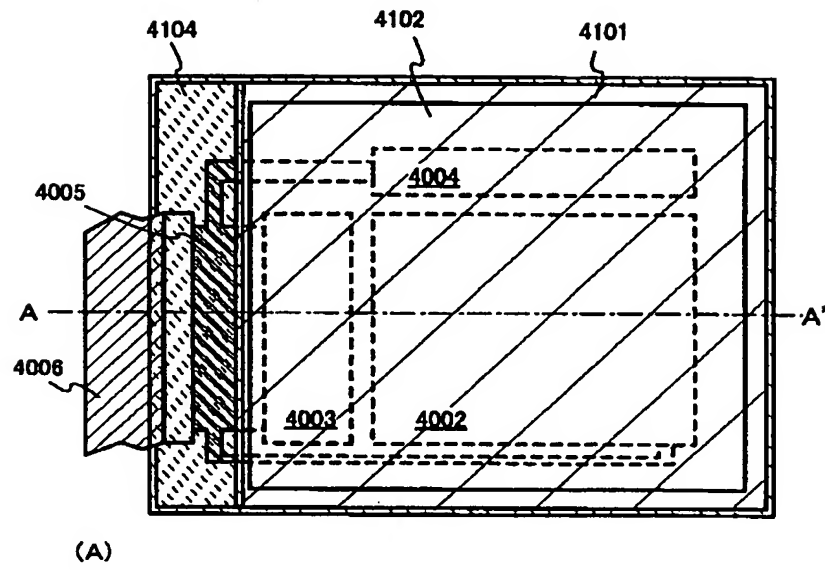
【図9】



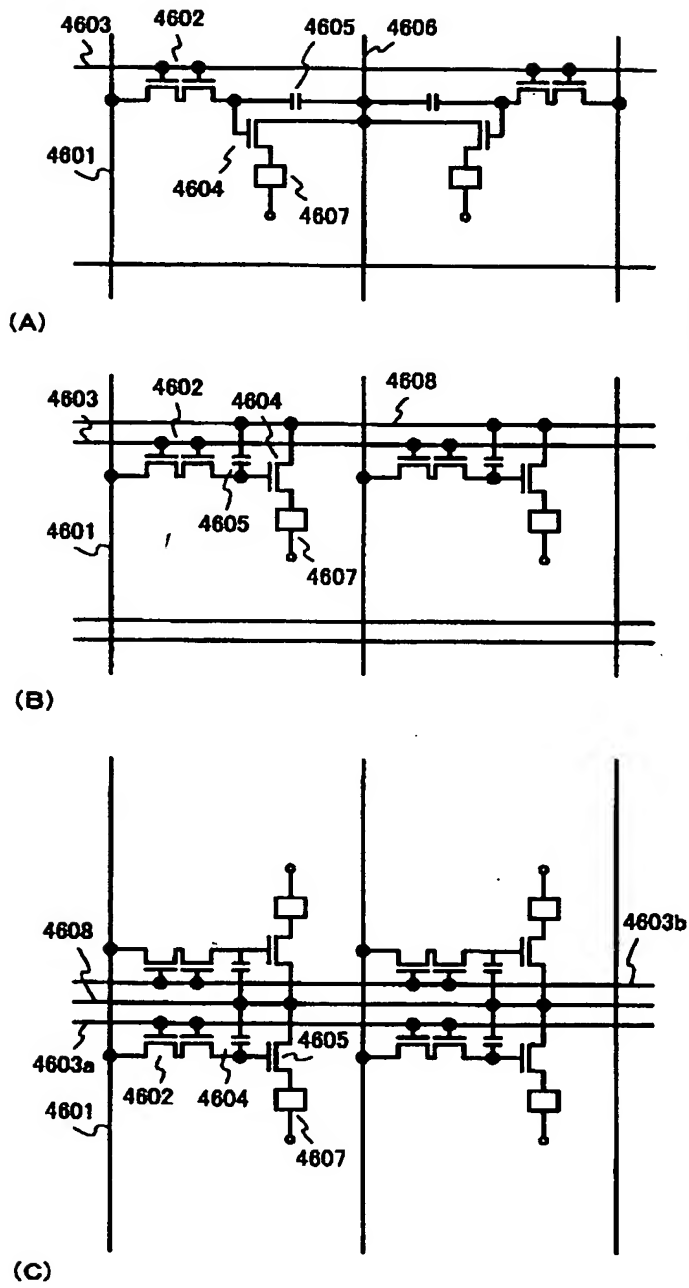
【図10】



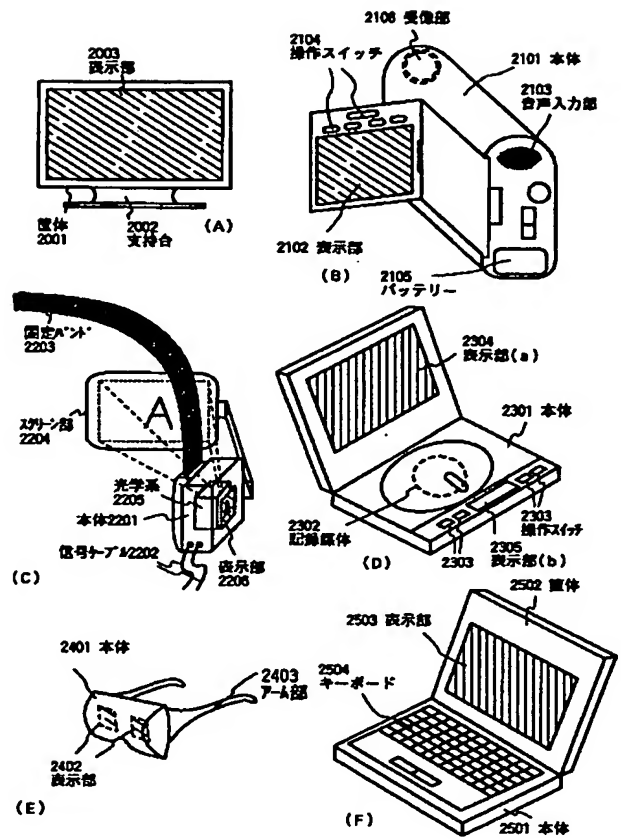
【図 11】



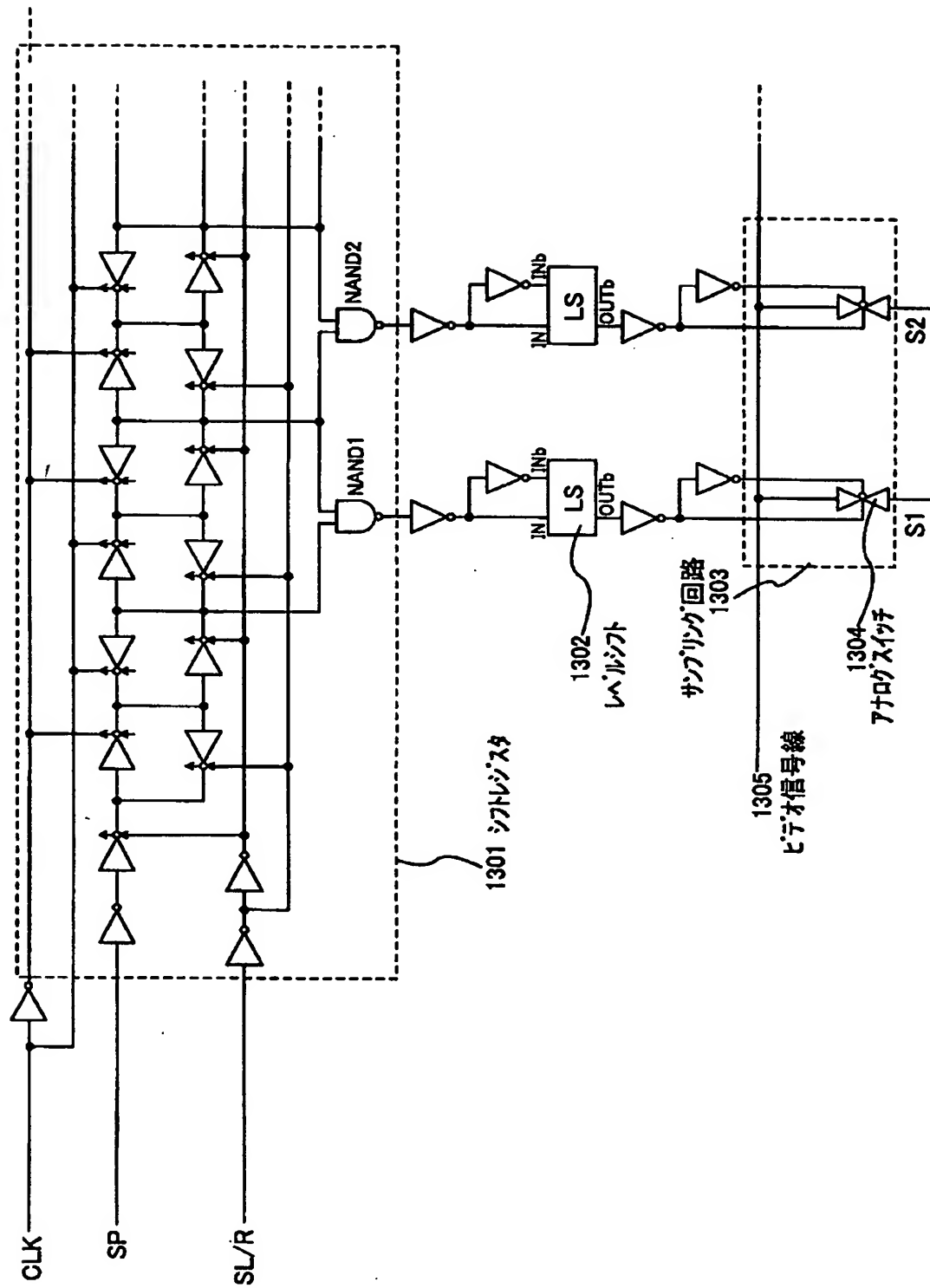
【図 12】



【図 16】

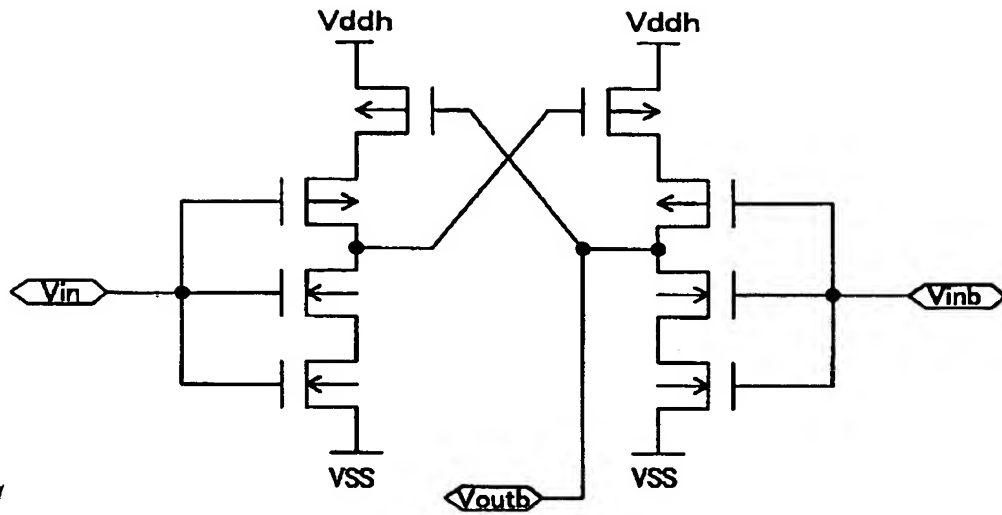


【図13】

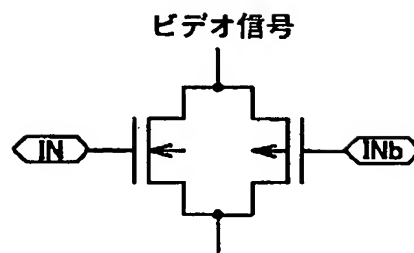


【図14】

(A)



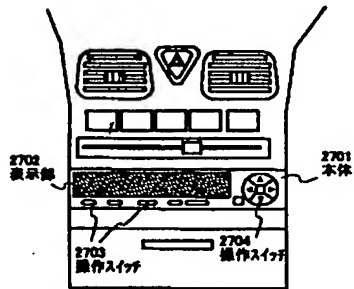
(B)



【図 17】

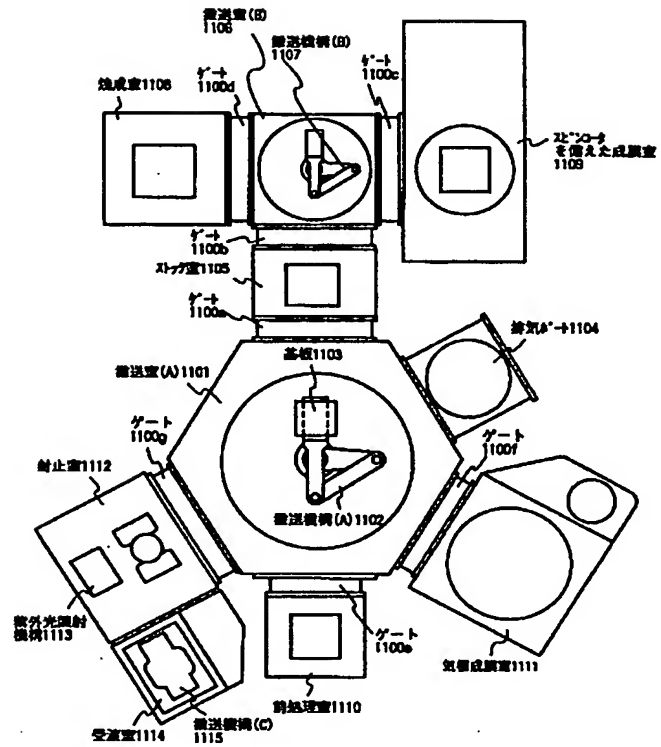


(W)

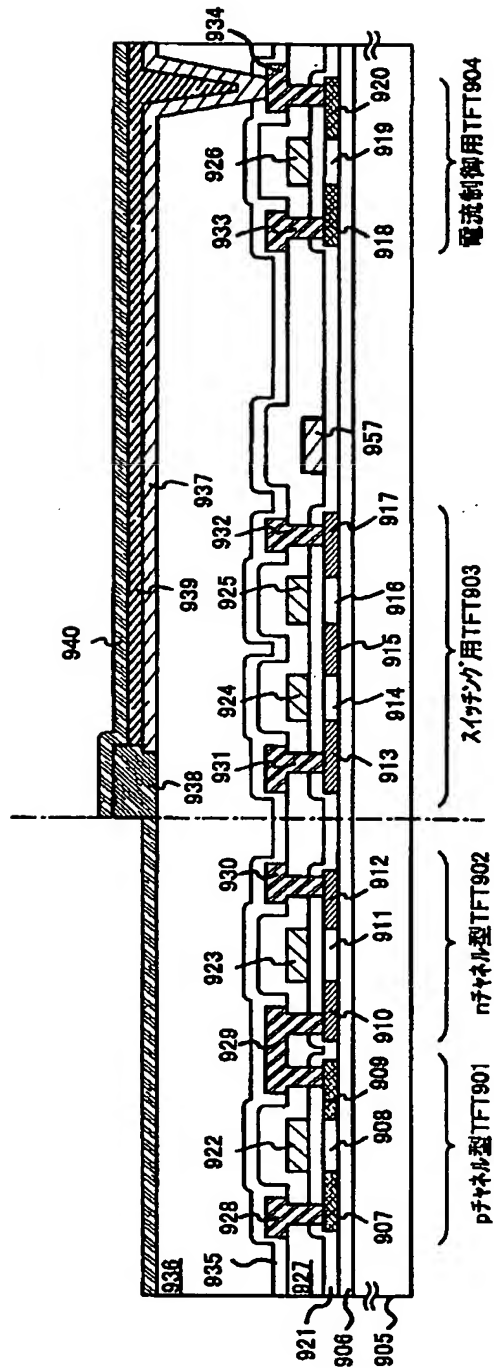


(B)

【图 19】



【図20】



フロントページの続き

(51) Int. Cl.⁷

G 0 9 G 3/20

3/30

H 0 1 L 29/786

識別記号

6 8 0

F I

G 0 9 G 3/20

3/30

H 0 5 B 33/08

テ-マ-ド (参考)

6 8 0 V

Z

(38)

特開2001-318627

H05B 33/08
33/12
33/14

33/12
33/14
H01L 29/78

B
A
618C

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.